



<p>(51) 国際特許分類6 H01L 29/78</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/52152</p> <p>(43) 国際公開日 1999年10月14日(14.10.99)</p>
<p>(21) 国際出願番号 PCT/JP99/00866</p> <p>(22) 国際出願日 1999年2月24日(24.02.99)</p> <p>(30) 優先権データ 特願平10/94818 1998年4月7日(07.04.98)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (5) 発明者 / 出願人 (米国についてのみ) 浅野勝則(ASANO, Katsunori)(JP/JP) 菅原良孝(SUGAWARA, Yoshitaka)(JP/JP) 〒530-8270 大阪府大阪市北区中之島3丁目3番22号 関西電力株式会社内 Osaka, (JP) 岩崎貴之(IWASAKI, Takayuki)(JP/JP) 大野俊之(OHNO, Toshiyuki)(JP/JP) 八尾 勉(YATSUO, Tsutomu)(JP/JP) 〒319-1221 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内 Ibaraki, (JP)</p>		<p>(74) 代理人 弁理士 高田幸彦, 外(TAKADA, Yukihiro et al.) 〒317-0073 茨城県日立市幸町二丁目1番48号 Ibaraki, (JP)</p> <p>(81) 指定国 US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: SEMICONDUCTOR DEVICE AND POWER CONVERTER</p> <p>(54) 発明の名称 半導体装置及びこの装置を使った電力変換器</p> <p>(57) Abstract A high-voltage semiconductor device is realized by reducing the area dedicated to termination. In the termination area of a semiconductor device, a plurality of trenches (9) are formed around a main junction section (1). A p⁺ layer or Schottky contact is formed at the bottom of each trench (9) and between adjacent trenches (9). An n⁻ layer (4) is formed between the trenches so that a depletion layer is extended between the p⁺ layer at the bottom of the trenches and the p⁺ layer between the trenches.</p> <div data-bbox="1092 1685 1965 2341"> </div>		

(57)要約

高耐圧半導体装置におけるターミネーション部の専有面積を減らし、高耐圧化を実現する。

半導体装置の主接合部 1 の周囲を取り囲むように複数のトレンチ 9 を形成し、各トレンチ 9 の底部とトレンチ 9 の間にそれぞれ p+層あるいはショットキーコンタクトを設け、トレンチ底部 p+層 2 とトレンチ間 p+層 3 の間に空乏層が広がるようにトレンチ間 n⁻層 4 を設けてターミネーション部を構成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	HR	クロアチア	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HU	ハンガリー		共和国	TR	トルコ
CF	中央アフリカ	ID	インドネシア	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	IE	アイルランド	MN	モンゴル	UA	ウクライナ
CH	スイス	IL	イスラエル	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IN	インド	MW	マラウイ	US	米国
CM	カメルーン	IS	アイスランド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IT	イタリア	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	JP	日本	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	KE	ケニア	NO	ノールウェー	ZA	南アフリカ共和国
CY	キプロス	KP	北朝鮮	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェッコ	KR	韓国	PL	ポーランド		
DE	ドイツ			PT	ポルトガル		
DK	デンマーク			RO	ルーマニア		

明 細 書

半導体装置及びこの装置を使った電力変換器

技術分野

- 5 本発明は、高耐圧半導体装置及びこれを用いた電力変換器に関する。

背景技術

- 大容量の電力変換を行うための高耐圧半導体装置としては、シリコンを素子材料として用いた高耐圧・大電流のための構造が採用されてきたが、高耐圧半導体装置のさらなる小型化および低損失化のためには、シリコンの物性限界を越える新たな材料による半導体装置の開発が望まれていた。シリコンの物性限界をはるかに越える材料として、シリコンカーバイド（以下SiCと表記する）やダイヤモンドなどがあり、これら材料の臨界電界は、シリコンのものの10倍以上であり非常に大きい。このため、半導体装置のドリフト層の厚みを約10分の1以下にすることができるとともに、キャリア濃度を10倍以上にできる。その結果として電気抵抗を約100分の1以下にできるので、これらの材料を用いた半導体装置は大幅な低損失化が実現できるものとして期待されている。しかし、SiC等の高臨界電界材料で形成した半導体装置では、オフ状態の半導体装置の内部において、シリコンの半導体装置の10倍以上の高い電界が生じるため、電界集中による破壊が起きやすい。そこで電界を効果的に緩和するために設けるターミネーション部の構造が重要となる。「ターミネーション部」とは、半導体装置の主接合部近傍の電界集中を緩和するために、主接合部の周囲に設けた種々の半導体層を言う。

- 一般にシリコンの半導体装置では、高耐圧を得るために、JTE (Junction Termination Extension)、FLR (Field Limiting Ring) やFMR (Floating Metal Rings) 等のターミネーション部を設けるターミネーション技術を用いている。これらのターミネーション部は半導体チップの周辺部に、主接合部を取り囲むように形成されており、主接合端部の電界を緩和する。

SiC等の高臨界電界材料で高耐圧半導体装置を製作する場合、主接合端部の電界を緩

和する前記従来のターミネーション技術は適していない。その理由は、上記のターミネーション技術ではドリフト層に広がる空乏層の幅が小さく、十分に電界を緩和できないためである。

JTEによるターミネーション部を有する従来の半導体装置の場合、主接合部の端部周
5 辺にJTE領域を形成し、高電圧印加時にはJTE領域内の全体に空乏層を拡げることにより、主接合部の外周方向においても n^- ドリフト層の深さ方向に空乏層を拡げ、主接合部の端部の電界を緩和する。JTE領域を高濃度にとすると、空乏層は n^- ドリフト層内に広がるがJTE領域の端部の空乏層の幅は小さくなる。また、JTE領域を低濃度にし過ぎると、空乏層は拡がらず、主接合部の端部の電界が高くなり、耐圧が低下する。このため、空乏層の幅をJTE領域一杯に拡げて高耐圧を達成しようとする、JTE領域の濃
10 度依存特性が急峻となり、高耐圧を達成できる最適許容濃度の幅がきわめて狭く、イオン打ち込み等の高精度な濃度制御技術を用いても製作できない。

FLRによるターミネーション部を有する従来の半導体装置では、ターミネーション部として複数のFLR層を用いて空乏層をFLR層間のドリフト層内に拡げている。この半
15 導体装置においては、空乏層をFLR層内一杯には拡げなくてすむので、FLR層を一定濃度以上の高濃度にすればよく、実現しやすい。しかし、複数のターミネーション用FLR層を並列配置して用いるので、専有面積が大きくなってしまふ。すなわち複数のFLR層を活性領域の外周を取り囲むように形成するので、その幅は狭くても大きな面積を占有する。そのため、半導体装置の限られた面積において、FLR層の面積に相当する分だけ
20 活性領域の面積を減らさざるを得ず、電流容量の減少やオン抵抗の増大を招くという点で問題がある。

上記のように高耐圧半導体装置を実現するためには、効果的に電界を緩和するターミネーション構造が必要であるが、SiCなどの高臨界電界材料の半導体装置では、ターミネーション部を形成するために超高精度の濃度制御技術が必要であった。また、ターミネ
25 ション部のために大きな専有面積が必要である。

発明の要約

本発明は超高精度の濃度制御技術を必要とせず、かつ占有面積の少ないターミネーション構造を有する高耐圧半導体装置を提供することを目的とする。

上記課題を解決するために、本発明の第1モードの高耐圧半導体装置では、主接合部の周囲を取り囲むように複数の溝（以下トレンチと称する）を形成し、各トレンチ底部のドリフト層内に前記ドリフト層の導電型と異なる導電型の半導体層を有するターミネーション部を形成している。これによってトレンチ底部の半導体層とトレンチ間の半導体層の間に空乏層が拡がって電界を緩和するため主接合部近傍の電界集中が避けられ半導体装置の耐圧が向上する。

本発明の第2モードの高耐圧半導体装置では、主接合部の周囲を取り囲むように複数のトレンチをドリフト層内に形成し、各トレンチの底部にショットキー接合（以下ショットキーコンタクトと称する）を形成させるための導電層を設けている。この導電層の電界効果によってドリフト層内に空乏層が拡がり、電界を緩和するので、主接合部近傍の電界集中が避けられ半導体装置の耐圧が向上する。

本発明の上記第1及び第2モードの半導体装置では、オフ時に高電圧が印加された場合に、主にトレンチ底部とトレンチ間のドリフト層に空乏層を拡げて電界を緩和する。空乏層をトレンチ底部とトレンチ間のターミネーション用半導体層内にはほとんど拡げなくてすむので、一定濃度以上の高濃度にしさえすればよく、濃度制御に特別の高精度が必要でなく製造が容易である。

また、トレンチ間のドリフト層はトレンチ壁に沿って半導体装置の深さ方向に形成されるので、半導体装置の表面部分を占有することではなく、ターミネーション部による占有面積を最小限に抑えることができる。その結果半導体装置のオン時に負荷電流が流れる活性領域の面積を大きくすることができ、電流容量の増大とオン抵抗の低減を達成できる。

本発明の電力変換器は、スイッチング素子として前記第1モード又は第2モードの高耐圧半導体装置を用いた電力変換装置である。本発明の高耐圧半導体装置の特徴の高い耐電圧、大きな電流容量、低いオン抵抗により、高耐圧、大電流かつ低損失の電力変換器が実現できる。

図面の簡単な説明

図 1 は、本発明の第 1 実施例の半導体装置である等間隔トレンチ型ターミネーション部を有するトレンチ型 MOS F E T の平面図である。

図 2 は、図 1 の II-II 断面図である。

5 図 3 の (a) は、第 1 実施例の半導体装置の要部断面図であり、(b) は従来の F L R (Field Limitting Ring) を有する半導体装置の要部断面図である。

図 4 は、本発明の第 2 実施例の半導体装置である不等間隔のトレンチ型ターミネーション部を有するトレンチ型 MOS F E T の断面図である。

10 図 5 は、本発明の第 3 実施例の半導体装置である補助電極（フィールドプレート）と等間隔トレンチ型ターミネーション部を有するトレンチ型 MOS F E T の断面図である。

図 6 は、本発明の第 4 実施例の半導体装置である補助電極（フィールドプレート）と等間隔トレンチ型ターミネーション部を有するトレンチ型 MOS F E T の断面図である。

図 7 は、本発明の第 5 実施例の半導体装置である浅い等間隔トレンチ型ターミネーション部を有するトレンチ型 MOS F E T の断面図である。

15 図 8 は、本発明の第 6 実施例の半導体装置であるショットキーコンタクトを有するトレンチ型ターミネーション型部を有する MOS F E T の断面図である。

図 9 は、本発明の第 7 実施例の半導体装置であるショットキーコンタクトを有するトレンチ型ターミネーション型部を有する MOS F E T の断面図である。

20 図 10 は、本発明の第 8 実施例の半導体装置であるショットキーコンタクトを有するトレンチ型ターミネーション型部を有する MOS F E T の断面図である。

図 11 は、本発明による半導体装置の第 9 実施例の構成図で、半導体装置におけるターミネーション領域の断面図である。

図 12 は、本発明による半導体装置の第 10 実施例の構成図で、半導体装置におけるターミネーション領域の断面図である。

25 図 13 は、本発明による半導体装置の第 11 実施例の構成図で、半導体装置におけるターミネーション領域の断面図である。

図 14 は、本発明による半導体装置の第 12 実施例の構成図で、半導体装置におけるタ

ーミネーション領域の断面図である。

図 1 5 は、本発明の半導体装置を用いたインバータ装置の回路図である。

図 1 6 は、本発明の半導体装置を用いた整流装置の回路図である。

5 発明を実施するための最良の形態

以下、本発明の半導体装置の実施例について、図 1 乃至図 1 0 を参照しながら詳細に説明する。

《第 1 実施例》

本発明の第 1 実施例を、図 1 乃至図 3 を参照して説明する。図 1 は、本発明の第 1 の実施例の、等間隔のトレンチ型ターミネーション部を設けたトレンチ型 MOSFET の平面図であり、図 2 は図 1 の II-II 断面図である。図 1 及び図 2 において、トレンチ型ターミネーション部 3 9 は、主接合部 1 を取り囲むように環状に形成されている。この半導体装置の具体例における各部の寸法は以下のとおりである。n⁻ドリフト層 6 の厚さは 5 0 μm、n⁺ドレイン層 7 の厚さは 3 0 0 μm である。p⁺ボディ層 5 の厚さは 2 . 5 μm であり、p⁺ボディ層 5 に設けられている n⁺ソース層の接合深さは 0 . 5 μm である。各トレンチ 9 の深さおよび幅は 4 μm である。ゲート絶縁物層 3 5 の厚さはトレンチ底部で 1 μm、トレンチ側面で 0 . 1 μm である。

ターミネーション部 3 9 のトレンチ 9 の底面および側面の絶縁物層 3 6 の厚さは 1 μm である。ターミネーション部 3 9 の隣り合うトレンチ 9 の間隔は 4 μm である。なお、トレンチゲート 1 0 の底面および側面の絶縁物層 3 5 の厚さは、ともに 0 . 4 μm 程度の厚さでも良い。また、主接合部 1 の面とトレンチ 9 の底面の距離は、4 μm 以下であればよいが、望ましくは 1 . 5 μm 以下がよい。本実施例では、ゲート電極 1 3 はストライプ状であるが、その形状は例えば円形や四角形等であってもかまわない。またゲート電極 1 3 は、例えば 1 0 個以上のストライプ状のものでもかまわない。

25 本実施例の半導体装置の製作工程は、次のとおりである。最初にドレイン層 7 として機能する 10^{18} から 10^{20} atm/cm³ の不純物濃度の n⁺形 SiC (炭化珪素) 基板を用意し、この一方の表面に 10^{14} から 10^{16} atm/cm³ の不純物濃度の SiC の n⁻ドリフト層 6 を

気相成長法等により形成する。次に、 n^{-} ドリフト層 6 の上に 10^{16} から 10^{18} atm/cm³ 程度の不純物濃度の SiC の p+層を、気相成長法等により形成する。そして、 10^{18} atm/cm³ 程度の不純物濃度の n+領域を窒素、りん等のイオン打ち込み法等により所望の領域に選択的に形成する。次に、上記の工程を経た基板を異方性エッチングして、p+層を

5 貫通し底部が n^{-} ドリフト層 6 内に所定距離進入するトレンチゲート 10 及びターミネーション部 39 用のトレンチ (溝) 9 を形成する。次にトレンチ 9 の底から深さ $0.5\mu\text{m}$ の範囲に、 10^{16} から 10^{18} atm/cm³ 程度の不純物濃度の p+層 2 をホウ素、アルミニウム等のイオン打ち込み等により形成する。続いて、トレンチゲート 10 の内壁およびターミネーション部 39 用トレンチ 9 の内壁に SiO₂ の絶縁物層 35、36 を形成する。ト

10 レンチゲート 10 の内壁の絶縁物層 35 は、厚さ $0.1\mu\text{m}$ 程度であるが、ターミネーション部 39 用トレンチ 9 の内壁の絶縁物層の厚さは、 0.5 から $1\mu\text{m}$ と厚くてもよい。その後トレンチ部 9 及びトレンチゲート 10 内には、りんを高濃度に含んだポリシリコンを堆積して埋め込む。次に、トレンチゲート 10 内のポリシリコンを残し、他の部分のポリシリコンを除去し、ゲート電極 13 を形成する。最後に、アルミニウム、ニッケル等で

15 p+層 5 の表面にソース電極 12 を形成する。また基板のドレイン層 7 の表面にドレイン電極 11 を形成して完成する。なお、p+層 3 及び 5 はエピタキシャル法で形成したが、イオン打ち込み法を用いても形成できる。

本発明の特徴の構造と動作原理について以下に詳細に述べる。

構造の第 1 の特徴として、FLR として用いている p+層 2 がトレンチ 9 の底部にあり、

20 かつ p+層 3 が隣接するトレンチ 9 の間にある。

第 2 の特徴として、トレンチ 9 の底部の p+層 2 と隣接するトレンチ 9 の間の p+層 3 の間には一定の間隔があり、その間にトレンチ間 n^{-} 層 4 がある。

上記の構造を有する半導体装置のドレイン電極 11 に、ソース電極 12 より高い電圧を印加すると、点線で示す空乏層 30 は、p+ボディ層 5 と n^{-} ドリフト層 6 の間の主接合部

25 1 からドレイン電極 11 およびソース電極 12 の方向に広がり電圧を阻止する。活性領域 1A の周辺では、空乏層 30 が主にトレンチ底部 p+層 2 とトレンチ間 p+層 3 間のトレンチ間 n^{-} 層 4 に拡がり、活性領域 1A の端部の主接合部 1 の電界を緩和する。この時、空

乏層 30 をトレンチ底部 p+層 2 とトレンチ間 p+層 3 内にはほとんど拡げなくて済むので、トレンチ底部 p+層 2 とトレンチ間 p+層 3 の不純物濃度を $1.0 \times 10^{16} \text{atm/cm}^3$ 以上の高濃度にしさえすればよく、濃度を精密に制御する必要はない。このように濃度制御技術の精度が低くてよいので、製造が容易であり実現しやすい。また、トレンチ間 n⁻層 4 はトレンチ 9 の壁面に沿って、ドリフト層 6 の深さ方向（半導体装置の表面に垂直な方向）のトレンチ間 p+層 3 とトレンチ底部 p+層 2 との間に形成されるので、表面積の増加に影響を与えることはない。従って、半導体装置の限られた表面積において、トレンチ間 n⁻層 4 の深さ方向の寸法に相当する分だけ活性領域 1A の面積を大きくでき、電流容量の増大やオン抵抗の低減を達成できる。さらに、MOSFET の活性領域 1A にトレンチゲート 10 を形成するとき、同時にターミネーション部 39 用のトレンチ 9 を形成できるので、プロセスを簡略化できる。さらに、トレンチ 9 及びトレンチゲート 10 の内部を、ポリシリコンや SiO₂ 等で埋めることにより、半導体装置の表面の汚染を防止することができ、高い信頼性を実現できる。

本実施例のトレンチ型ターミネーション部 39 の各部の寸法の一例を、図 3 の (a) に示す。また、この半導体装置と同程度の耐圧を持つ従来の半導体装置の FLR 付 MOSFET のターミネーション部の寸法を図 3 の (b) に示す。図 3 の (a) においてトレンチ底部 p+層 2 とトレンチ間 p+層 3 の水平方向の寸法はそれぞれ $2 \mu\text{m}$ であり、合計寸法は $4 \mu\text{m}$ である。これに対して図 3 の (b) においては、2 個の p+層 2A、2B の水平方向の寸法はそれぞれ $2 \mu\text{m}$ であり合計寸法は $4 \mu\text{m}$ である。2 個の p+層 2A と 2B の間の n⁻層 4B の距離は $1 \mu\text{m}$ であり、p+層 2A と p+ボディ層 5 との間の n⁻層 4A の距離は $1 \mu\text{m}$ である。従って合計寸法は $6 \mu\text{m}$ である。本実施例のターミネーション部 39 では、図 3 の (b) における n⁻層 4A 及び 4B に対応するトレンチ間 n⁻層 4 が、ドリフト層 6 の深さ方向のトレンチ間 p+層 3 とトレンチ底部 p+層の間に形成されることになり、トレンチ間 n⁻層 4 がターミネーション部 39 の面積の増大に無関係となるので、その分従来のものに比べて表面積が減少する。その結果本実施例のターミネーション部 39 の面積は、従来技術の FLR の場合に比べ、3 分の 2 の面積になり、同一サイズの半導体装置ではその分活性領域 1A の面積を大きくできるので電流容量の増大やオン抵抗の低減を達

成できる。

本実施例では、図1に示すように3個のトレンチ型ターミネーション部39を有する半導体装置を例に挙げたが、さらに多数のトレンチ型ターミネーション部39を設けることにより更なる高耐圧を実現できる。例えば、3個のトレンチを有するターミネーション部39を設けた場合の4800Vの耐圧が、5個のトレンチを有するターミネーション部39を設けたものでは5300Vに上昇した。本実施例ではトレンチ底部p+層2とトレンチ間p+層3とはほとんど同一不純物濃度にしてプロセスを簡略化したが、これらの不純物濃度を個々に変えることによりMOSFETのオン特性と耐圧をそれぞれ独立して改善できるので更なる高性能化が図れる。また複数のトレンチ底部p+層2の不純物濃度をそれぞれ所定の値にし、かつ複数のトレンチ間p+層3の不純物濃度を、それぞれ所定の値にすることにより、オン特性と耐圧を更に改善することができる。例えば、トレンチ底部p+層2の不純物濃度を $3 \times 10^{17} \text{ atm/cm}^3$ 、トレンチ間p+層3の不純物濃度を 10^{18} atm/cm^3 とした場合には、耐圧は4800Vと変わらないが、オン抵抗を $35 \text{ m}\Omega \text{ cm}^2$ から $28 \text{ m}\Omega \text{ cm}^2$ に低減できた。さらに、複数のトレンチ底部p+層2及びトレンチ間p+層3の不純物濃度について、それぞれの最内周のものの不純物濃度を最も高くし、それより外周にあるものは不純物濃度が外周へ向かって順次漸減するように形成してもよい。例えば、ターミネーション部39に10個のトレンチ9を設けた場合に、最内周のトレンチ9のトレンチ底部p+層2及びトレンチ間p+層3の不純物濃度を 10^{19} atm/cm^3 とし、それより外周の9個のトレンチ9のトレンチ底部p+層2及びトレンチ間p+層3を、不純物濃度が 5×10^{18} から 10^{16} atm/cm^3 に順次漸減するように形成した。それに加えてn⁻ドリフト層6の厚さを150 μm 、不純物濃度を 10^{14} atm/cm^3 としたとき、耐圧を20KVに上昇させることができた。

《第2実施例》

図4は、本発明の第2の実施例の半導体装置の断面図である。本実施例の半導体装置は不等間隔のトレンチを有するターミネーション部39を有するトレンチ型MOSFETである。図4において、活性領域1Aに隣接する第1段目のトレンチ型ターミネーション部39Aのトレンチ9Aの幅が他のトレンチ9Bの幅より大きくなされている。またトレン

チゲート 10 の底部に p+電界緩和層 40 を形成している。その他の構成は第 1 の実施例と同じであるので説明を省略する。半導体装置が電圧を阻止する際に、第 1 段目の幅の広いトレンチ 9 A の底部に形成したトレンチ底部 p+層 2 A により、空乏層を主接合部 1 より更に離れたところまで拡げることができる。したがって主接合部 1 の端部の電界は更に
5 緩和され、高耐圧の半導体装置を実現できる。例えば、第 1 段目のトレンチ 9 A の幅を 30 μm にした時、耐圧を 5800 V にすることができた。その結果、幅 4 μm のトレンチ 9 を等間隔に形成したトレンチ型ターミネーション部を有する半導体装置に比べ、25% 程度耐圧を上げることができた。第 1 段目のトレンチ 9 A の幅を更に拡げることにより、
10 更なる高耐圧化ができる。例えば、60 μm にすると、耐圧は 6000 V と更に高耐圧化することができた。この場合のオン抵抗は、35 $\text{m}\Omega/\text{cm}^2$ と第 1 実施例のものと同等の値にすることができた。

《第 3 実施例》

図 5 は、本発明の第 3 の実施例の半導体装置の断面図である。本実施例の半導体装置は、補助電極（フィールドプレート）14 を有する等間隔のトレンチ型ターミネーション部を
15 備えたトレンチ型 MOSFET である。まず、図 1 に示す第 1 実施例の半導体装置と同様に、ターミネーション部 39 のトレンチ 9 の底部および側面にそれぞれ SiO_2 等の絶縁物層 15 A 及び 15 を形成する。次にトレンチ 9 の底面の絶縁物層 15 A に一端が接する補助電極 14 を形成する。補助電極 14 の他端はトレンチ間 p+層 3 の頂部の接続部 3 A に接触させる。補助電極 14 を設けた結果、トレンチ底部 p+層 2 およびトレンチ間 p+層
20 3 近傍の空乏層 30 が、ドレイン電極 11 の方向に更に拡げられた。それにつれて活性領域 1 A の外周部に空乏層が更に拡がり、主接合部 1 近傍の電界が更に緩和される。その結果第 1 実施例のものに比べて 35% 以上耐圧が高くなった。また、第 1 の実施例と同様に、従来のターミネーション部に比べ、ターミネーション部の専有面積を約 3 分の 2 に減らす
25 ことができた。

《第 4 実施例》

図 6 は、本発明の第 4 の実施例における半導体装置の、補助電極 14（フィールドプレート）と等間隔トレンチ型ターミネーション部 3.9 を有するトレンチ型 MOSFET の断

面図を示す。第4の実施例ではターミネーション部39のトレンチ9の側面およびトレンチ間p+層3の上面に SiO_2 等の絶縁物層15を形成する。第4の実施例は、トレンチ間p+層3の上面の絶縁物層15に一端が接し、他端がトレンチ底部p+層2に接する補助電極14Aを形成した点が第3の実施例と異なる。補助電極14Aをトレンチ底部p+層に

5 接触させることにより、トレンチ9内の絶縁物層15の電界が緩和される。その結果第3の実施例の場合と同様に主接合部1近傍の電界が緩和され、第1実施例のものに比べて35%以上耐圧が高くなった。さらに、第1の実施例と同様に、従来のターミネーション部と比べ、ターミネーション部39の専有面積を約3分の2に減らすことができた。

《第5実施例》

10 図7は、本発明の第5の実施例における半導体装置の、浅い等間隔のトレンチ9を有するターミネーション部39を備えるトレンチ型MOSFETの断面図である。図において、ターミネーション部39のトレンチ間n⁻層4とトレンチ間p+層3の接合部43の面の、活性領域1Aの主表面46からの距離が第1の実施例のものより大きく、主接合部1の位置よりドレイン電極11側に寄っている。またトレンチ間p+層3の厚さがトレンチ底

15 部p+層2より薄い点も、第1の実施例と異なる。トレンチ間p+層3が、ドレイン電極11に近づくことにより、空乏層30がドレイン電極11の方向に向って拡がりやすくなり、その結果高耐圧の半導体装置が実現できる。また、ターミネーション部39の専有面積も第1の実施例と同様に従来のものに比べて3分の2に減らすことができる。

《第6実施例》

20 図8は、本発明の第6の実施例における半導体装置の、ショットキー接合（以下ショットキーコンタクトと称する）を有するトレンチ型ターミネーション部39を備えるトレンチ型MOSFETの断面図である。本実施例では、前記の各実施例のターミネーション部39に設けたトレンチ底部p+層2およびトレンチ間p+層3を形成せずに、金や白金等の薄膜でn⁻ドリフト層6の表面にショットキーコンタクト17A、17B、17C、17

25 D、17E及び17Fを形成する。隣り合うショットキーコンタクト、例えばショットキーコンタクト17A、17Bは互いに段差を有するn⁻ドリフト層6の上に設けられ、各ショットキーコンタクト17Aないし17Fは活性領域1Aを囲むように環状になされて

いる。ターミネーション部 39 の最外周のフィールドリミッタ n+層 16 の表面にも金や白金等でショットキーコンタクト 17 G を形成し、ショットキーコンタクト 17 G の内縁は前記フィールドリミッタ n+層 16 の内縁よりも更に内側にくるようになされている。

5 トレンチ底部のショットキーコンタクト 17 A、17 C、17 E およびトレンチ間ショットキーコンタクト 17 B、17 D、17 F、17 G により、空乏層 30 がドレイン電極 11 の方向に拡がる。その結果主接合部 1 の近傍の電界が緩和され、第 1 の実施例のものと同様の耐電圧特性を示す。また、フィールドリミッタ n+層 16 は、半導体装置の表面が汚染した場合でも、空乏層 30 が n⁻ドリフト層 6 の表面に沿って端部まで拡がることを防ぎ、耐圧の低下を防ぐ。フィールドリミッタ n+層 16 の内側のショットキーコンタクト 17 G については、表面に沿って拡がってできた空乏層 30 の伸びをフィールドリミッタ n+層 16 だけでなくショットキーコンタクト 17 G の電界効果によっても抑える。これによって、フィールドリミッタ n+層 16 で電界強度が高くなり、耐圧が低下するのを防ぐことができる。

例えば、第 1 の実施例と概略同じ構造諸元の半導体装置において、表面汚染が存在した場合、耐圧が 4500 V になったが、第 6 の実施例の半導体装置では 4800 V に保つことができた。なお、パッケージングの工夫などにより、表面汚染が防止できる場合は、このフィールドリミッタ n+層 16 のショットキーコンタクト 17 G を設けなくとも所期の効果を達成できることは言うまでもない。

《第 7 実施例》

20 図 9 は、本発明の第 7 の実施例の半導体装置の断面図である。第 7 の実施例では、第 6 の実施例におけるトレンチ間ショットキーコンタクト 17 B、17 D、17 F の代わりに、イオン打ち込み法によりトレンチ間 p+層 53 を形成した点が、第 6 の実施例と異なる。ターミネーション部 39 の各トレンチ 9 の側面とトレンチ間 p+層 53 の表面には絶縁物層 15 が形成されている。トレンチ 9 の底面の絶縁物層 15 には含まれた部分にそれぞれ
25 ショットキーコンタクト 17 A、17 C、17 E が設けられている。第 7 の実施例の半導体装置も第 6 の実施例のものと同様に、高耐圧性を示し、ターミネーション部 39 の専有面積も小さい。

《第8実施例》

図10は、本発明の第8の実施例の半導体装置の断面図である。第8の実施例では、ターミネーション部39のトレンチ9の底面の全面にそれぞれショットキーコンタクト17A、17C、17Eを形成した点が第7の実施例のものと異なる。ショットキーコンタクト17A、17C、17Eをトレンチ9の底面の全面に形成することにより、半導体装置がオフの時にターミネーション部39のトレンチ9の底面端部からも空乏層が拡がり、トレンチ9の底部の側面近傍のトレンチ間 n^- 層4の電界がより緩和され、高耐圧化が達成できる。

本発明の前記各実施例の半導体装置において、ゲートGをソースSに接続して、ソースSとドレンDの2極の半導体装置すなわちダイオードとして機能させることができる。このようにして構成されたダイオードにおいても前記の各実施例で説明したMOSFETと同様に高耐圧化ができるとともに、低損失かつ大きな電流容量のダイオードを得ることができる。

図11は、本発明による半導体装置の第9実施例の構成図で、半導体装置におけるターミネーション領域の断面図であって、半導体装置がシリコンカーバイド(SiC)からなるIGBT(絶縁ゲートバイポーラトランジスタ)チップ(SiC型IGBTチップ)である例を示すものである。

なお、図11は、既知のこの種の半導体装置(IGBTチップ)におけるターミネーション領域の断面図に対応するものである。

図11において、65は n 型低不純物濃度(n^-)からなる第1半導体領域、64は p 型高不純物濃度(p^+)からなる第2半導体領域、66は p 型高不純物濃度(p^+)からなる第3半導体領域、67は n 型高不純物濃度(n^+)からなる第4半導体領域、62はエミッタ電極(第1主電極)、61はコレクタ電極(第2主電極)、70は第1半導体領域1と第2半導体領域64との接合領域、63はショットキー金属からなるリング状メタル領域(補助電極)、68は溝である。

そして、第1半導体領域65の一方の主表面には、周縁部から若干内側に入った領域に第2半導体領域64が形成配置され、周縁部に第4半導体領域67が形成配置される。第

1 半導体領域 6 5 の他方の主表面には、周縁部に到る部分にまで第 3 半導体領域 6 6 が接
合配置される。エミッタ電極 6 2 は、第 2 半導体領域 6 4 の露出表面に形成配置され、第
2 半導体領域 6 4 の露出表面に低抵抗接触している。コレクタ電極 6 1 は、第 3 半導体領
域 6 6 の他方の主表面に形成配置され、第 3 半導体領域 6 6 の他方の主表面に低抵抗接触
5 している。第 1 半導体領域 6 5 の一方の主表面における第 2 半導体領域 6 4 と第 4 半導体
領域 6 7 との間には、複数本、図 1 1 に図示の例では 4 本の溝 6 8 が第 2 半導体領域 6 4
に対して同心状に形成配置され、4 本の溝 6 8 の底面にリング状メタル領域 6 3 が第 1 半
導体領域 6 5 に対してショットキー接合するように配置される。この場合、第 1 半導体領
域 6 5 と第 2 半導体領域 6 4 との接合部分 7 0 から外側の部分は、ターミネーション領域
10 で、ここに各 4 本のリング状メタル領域 6 3 及び溝 6 8 からなる FMR が構成されている。

前記構成を有する第 9 実施例の SiC 型 IGBT チップは、次のように動作する。

いま、エミッタ電極 6 2 に正の低電圧または接地電圧のエミッタ電圧が印加され、コレ
クタ電極 6 1 に正の高電圧のコレクタ電圧が印加されているとき、ゲート電極（図 1 1 に
図示せず）にカットオフバイアス電圧が印加されると、SiC 型 IGBT チップはカット
15 オフ状態になり、エミッタ電圧とコレクタ電圧との差電圧が第 1 半導体領域 6 5 に印加さ
れ、その差電圧に対応した電界が第 1 半導体領域 6 5 内に形成される。そして、この電界
によって第 1 半導体領域 6 5 と第 2 半導体領域 6 4 との接合部分 7 0 から第 1 半導体領域
6 5 の内部に到る領域に空乏層（図 1 1 に図示なし）が形成され、この空乏層は、第 1 半
導体領域 6 5 における FMR の形成方向に延びるようになる。この空乏層の形成により、
20 局所的な電界の集中を生じることがなくなり、第 1 半導体領域 6 5 と第 2 半導体領域 6 4
との接合部分 7 0 の湾曲による耐圧低下の影響が緩和されるので、SiC 型 IGBT チッ
プの初期耐圧を高くすることができる。

また、SiC 型 IGBT チップの長期間にわたる使用によって、FMR 形成部分の第 1
半導体領域 6 5 の表面上部に正電荷が形成されるようになり、その正電荷の形成に対応し
25 て FMR 形成部分の第 1 半導体領域 6 5 の表面内部に電子が誘起され、蓄積層が形成され
るようになって、FMR を形成している 4 本のリング状メタル領域 6 3 は、それぞれ溝
6 8 の底面に第 1 半導体領域 6 5 とショットキー接合するように配置され、しかも、隣接

するリング状メタル領域 8 の間隔の最短位置が第 1 半導体領域 6 5 の表面以外の第 1 半導体領域 6 5 の内部になるように配置された構造を採用しているので、リング状メタル領域 6 3 が第 1 半導体領域 6 5 の表面上部に形成された正電荷の影響を受けることが少なく、リング状メタル領域 6 3 の間隔が等価的に広がることはなくなり、S i C 型 I G B T チップの初期耐圧が低下することはない。さらに、前記構造の採用により、蓄積層の電圧が第 1 半導体領域 6 5 の表面内部にあるリング状メタル領域 6 3 の間で分担され、蓄積層の形成による影響を殆んど受けることがないので、第 1 半導体領域 6 5 内の空乏層も蓄積層の形成に係わりなく F M R が形成されている方向に延び、S i C 型 I G B T チップの経年変化による耐圧の低下は殆んど生じない。

- 10 次に、図 1 2 は、本発明による半導体装置の第 1 0 実施例の構成図で、半導体装置におけるターミネーション領域の断面図であって、半導体装置が S i C 型 I G B T チップである例を示すものである。

なお、図 1 2 に図示の構造も、既知のこの種の半導体装置（I G B T チップ）におけるターミネーション領域の断面図に対応するものである。

- 15 図 1 2 において、7 2 は絶縁物であり、その他、図 1 1 に示された構成要素と同じ構成要素については同じ符号を付けている。

- 第 1 0 実施例と前記第 1 実施例との構成の違いは、第 9 実施例が、F M R を形成しているリング状メタル領域 6 3 を、溝 6 8 の底面にショットキー接合するように配置し、リング状メタル領域 6 3 の上面を露出しているのに対して、第 1 0 実施例が、リング状メタル領域 6 3 を、溝 6 8 の底面にショットキー接合するように配置し、リング状メタル領域 6 3 を配置した溝 6 8 内に絶縁物 7 2 を充填している点だけであって、その他に、第 1 0 実施例と第 9 実施例との間に構成の違いはない。このため、第 1 0 実施例の構成については、これ以上の説明を省略する。

- 25 第 1 0 実施例の動作及び得られる効果は、前述の第 9 実施例の動作及び得られる効果と実質的に同じであるので、これ以上の詳しい説明は省略するが、第 1 0 実施例においては、溝 6 8 内に絶縁物 7 2 を充填しているので、第 1 半導体領域 6 5 の表面上部に形成される正電荷の影響は、第 1 半導体領域 6 5 の表面領域だけに限られ、溝 6 8 内の側面に誘起さ

れる電子が少なくなるので、第1半導体領域65の内部の隣接するリング状メタル領域63の間隔の最短位置における空乏層の拡がり易さは、形成される正電荷の影響を受けることがなく、リング状メタル領域63の間隔が等価的に拡がることはない。

次いで、図13は、本発明による半導体装置の第11実施例の構成図で、半導体装置におけるターミネーション領域の断面図であって、半導体装置がSiC型IGBTチップである例を示すものである。

なお、図13に図示の構造も、既知のこの種の半導体装置（IGBTチップ）におけるターミネーション領域の断面図に対応するものである。

図13において、73はショットキー金属からなるリング状メタル領域（補助電極）、11は絶縁層であり、その他、図11に示された構成要素と同じ構成要素については同じ符号を付けている。

第11実施例と前記第9実施例との構成の違いは、第9実施例が、FMRを形成しているリング状メタル領域63の全体を溝68の底面にショットキー接合するように配置しているのに対して、第11実施例が、リング状メタル領域73の一部を溝68の底面にショットキー接合するように配置し、リング状メタル領域73の残部を絶縁層11を介して溝68の側面及び上面に配置し、いわゆるフィールドプレート構造にしている点だけであって、その他に、第11実施例と第9実施例との間に構成の違いはない。このため、第11実施例の構成については、これ以上の説明を省略する。

第11実施例の動作及び得られる効果も、前述の第9実施例の動作及び得られる効果と実質的に同じであるので、これ以上の詳しい説明は省略するが、第11実施例においては、リング状メタル領域73がフィールドプレート構造になっているので、電界が集中し易い溝68の角部分の電界緩和を有効に行うことができる。

続く、図14は、本発明による半導体装置の第12実施例の構成図で、半導体装置におけるターミネーション領域の断面図であって、半導体装置がSiC型IGBTチップである例を示すものである。

なお、図14に図示の構造も、既知のこの種の半導体装置（IGBTチップ）におけるターミネーション領域の断面図に対応するものである。

図 1 4 において、8 1、8 2、8 3、8 4 は溝であり、その他に、図 1 1 に示された構成要素と同じ構成要素については同じ符号を付けている。

第 1 2 実施例と前記第 9 実施例との構成の違いは、第 9 実施例が、FMR を形成している、リング状メタル領域 6 3 を底面にショットキー接合するように配置した溝 6 8 について、その深さを全て一定であるのに対して、第 1 2 実施例が、第 1 半導体領域 6 5 に最も近い溝 8 1 の深さを最も深くし、溝 8 1 に隣接する溝 8 2 の深さを次に深くし、溝 8 2 に隣接する溝 8 3 の深さを 3 番目に深くし、第 4 半導体領域 6 7 に最も近い溝 8 4 の深さを最も浅くしている点だけであって、その他に、第 1 2 実施例と第 9 実施例との間に構成の違いはない。このため、第 9 実施例の構成については、これ以上の説明を省略する。

第 1 2 実施例の動作及び得られる効果も、前述の第 9 実施例の動作及び得られる効果と実質的に同じであるので、これ以上の詳しい説明は省略するが、FMR において、電界が緩和される程度は、第 9 実施例よりも大きくなっており、それによって、第 1 2 実施例の SiC 型 IGBT チップの初期耐圧は、第 9 実施例の SiC 型 IGBT チップの初期耐圧よりも大きくなる。

《インバータ装置》

図 1 5 は、本発明を適用した MOSFET およびダイオードを用いて構成した、三相のインバータの例を示す回路図である。スイッチング素子としての 6 個の MOSFET SW 1 1、SW 1 2、SW 2 1、SW 2 2、SW 3 1、SW 3 2 およびダイオード D 1 1、D 1 2、D 2 1、D 2 2、D 3 1、D 3 2 により、直流を交流に変換する。MOSFET SW 1 1・・・SW 3 2 は、スイッチング速度の大きなスイッチング素子であり、この MOSFET およびダイオードに本発明を適用することにより、スイッチング素子の高耐圧化ができる。SiC を用いた従来の MOSFET では、500V 以上の高耐圧の半導体装置ではオン抵抗が大きくなり、高耐圧インバータの高性能化が困難であった。本発明の各実施例による半導体装置を適用すれば、高耐圧インバータ装置の高性能化、すなわちコンパクト化、低損失化、低雑音化を達成できる。その結果インバータ装置を用いたシステムの低コスト化、高効率化が実現できる。

《整流装置》

図16は、本発明を適用したMOSFETおよびダイオードを用いて構成した整流装置を示す回路図である。ブリッジ接続した4個のMOSFET SW11、SW12、SW21、SW22及びダイオードD11、D12、D21、D22により、交流を直流に変換する。MOSFETは、スイッチング速度の大きな素子であり、この素子とダイオードに
5 本発明を適用することにより、高耐圧整流装置のコンパクト化、低損失化、低雑音化などの効果が得られる。したがって、整流装置を用いたシステムの低コスト、高効率化が達成できる。

以上、本発明の実施例を説明したが、本発明はさらに多くの適用範囲あるいは派生構造をカバーするものである。

10 前記の第2ないし第5、第7及び第8の実施例において、複数のトレンチ底部p+層2及びトレンチ間p+層3の不純物濃度について、それぞれの最内周のものの不純物濃度を最も高くし、それより外周にあるものは不純物濃度が外周に向かって順次漸減するように形成してもよい。また、両者の不純物濃度はそれぞれ任意の値にしてもよい。

前記の各実施例では、SiC素子の場合のみを述べたが、シリコン、ガリウムヒ素等の
15 他の半導体材料にも適用できる。特に、ダイヤモンド、ガリウムナイトライドなどのワイドギャップ半導体材料に有効である。

前記各実施例の説明では、ドリフト層6がn型の素子の場合のみを述べたが、ドリフト層6がp型の素子の場合でも、n型層をp型層に変え、p型層をn型層に変えることにより、本発明の構造を適用できる。また、適用できる素子は、IGBT、GTO、SIトラ
20 ンジスタ、SIサイリスタ、ダイオード、サイリスタ等幅広く、活性領域あるいは主接合部の構造としては、プレーナ型、トレンチ型、埋め込み型等いずれの場合にも適用できる。

本発明では、半導体装置の主接合部を囲むように複数のトレンチを設け、各トレンチ底部及び隣り合うトレンチ間に、ドリフト層とは逆の導電型の半導体層をそれぞれ形成する。これによって、逆電圧印加時に空乏層がトレンチ底部とトレンチ間のドリフト層に拡がり
25 活性領域の端部の主接合部の電界を緩和する。またトレンチ間n⁻層がドリフト層の深さ方向のトレンチ間p+層とトレンチ底部p+層の間に形成されることによりターミネーション部の面積が削減され、同一サイズの半導体装置では、その分活性領域の面積を大きくで

きるので電流容量を増加することができるとともにオン抵抗を低減することができる。これによって超高精度濃度制御技術を必要とせずに専有面積の少ないターミネーション構造を有する高耐圧半導体装置が実現できる。

請求の範囲

1. 半導体装置の第1の導電型の半導体層の一方の表面の一部分に形成された第2の導電型の第1の半導体層、

5 前記第1の導電型の半導体層の前記一方の表面の前記第1の半導体層を有しない領域において、前記第1の半導体層との間に所定の間隔を保って前記半導体層の表面から所定の深さに底をもつ溝により隔てられて前記第1の半導体層を囲むように設けられた少なくとも1個の第2の導電型の第2の半導体層、

隣りあう2つの第2の導電型の半導体層の間の前記溝の底部から前記第1の導電型の半導体層の内部に形成された第2の導電型の半導体領域、

10 前記第1の半導体層に設けられた電極、及び

前記第1の導電型の半導体層の他方の面に設けられた他の電極を有する高耐圧半導体装置。

2. 前記第2の導電型の第1の半導体層及び第2の半導体層の表面と前記溝の内面に形成された絶縁物層を有する請求項1記載の高耐圧半導体装置。

15 3. 前記第1の導電型の半導体層の不純物濃度より濃い不純物濃度を有する第1の導電型の他の半導体層が、最外周の第2の半導体層より外周の領域における前記第1の導電型の半導体層の表面部に設けられた請求項1記載の高耐圧半導体装置。

4. 前記第1の半導体層と、前記第1の半導体層に溝を隔てて隣接する前記第2の半導体層との間の距離が、互いに隣接する他の2つの第2の半導体層の間の距離より大きくな
20 されていることを特徴とする請求項1記載の高耐圧半導体装置。

5. 前記第1の導電型の半導体層の前記一方の表面における、前記第2の半導体層の高さが、前記第1の半導体層の高さより低くなされていることを特徴とする請求項1記載の高耐圧半導体装置。

6. 半導体装置の第1の導電型の半導体層の一方の表面の一部分に形成された第2の導電型の第1の半導体層、
25

前記第1の導電型の半導体層の前記一方の表面の前記第1の半導体層を有しない領域において、前記第1の半導体層との間に所定の間隔を保って前記半導体層の表面から所定の

深さをもつ溝により隔てられて前記第 1 の半導体層を囲むように設けられた少なくとも 1 個の第 2 の導電型の第 2 の半導体層、

隣りあう 2 つの第 2 の導電型の半導体層の間の前記溝の底部から前記第 1 の導電型の半導体層の内部に形成された第 2 の導電型の半導体領域、

5 前記第 1 の半導体層に設けた電極、

前記第 1 の導電型の半導体層の他方の面に設けられた他の電極、

前記第 2 の半導体層の接続部以外の表面及び前記溝の内面にそれぞれ形成された絶縁物層、及び

10 前記第 2 の半導体層の前記接続部の表面と前記溝の底部の絶縁物層の表面にわたって連続的に設けられた導電層
を有する高耐圧半導体装置。

7. 半導体装置の第 1 の導電型の半導体層の一方の表面の一部分に形成された第 2 の導電型の第 1 の半導体層、

15 前記第 1 の導電型の半導体層の前記一方の表面の前記第 1 の半導体層を有しない領域において、前記第 1 の半導体層との間に所定の間隔を保って前記半導体層の表面から所定の深さをもつ溝により隔てられて前記第 1 の半導体層を囲むように設けられた少なくとも 1 個の第 2 の導電型の第 2 の半導体層、

隣りあう 2 つの第 2 の導電型の半導体層の間の前記溝の底部から前記第 1 の導電型の半導体層の内部に形成された第 2 の導電型の半導体領域、

20 前記第 1 の半導体層に設けられた電極、

前記第 1 の導電型の半導体層の他方の面に設けられた他の電極、

前記の第 2 半導体層の表面に形成された絶縁物層、及び

前記第 2 の半導体層の絶縁物層の表面と前記溝の底面にわたって連続的に設けられた導電層

25 を有する高耐圧半導体装置。

8. 半導体装置の第 1 の導電型の半導体層の一方の表面の一部分に形成された第 2 の導電型の半導体層、

前記第 1 の導電型の半導体層の前記一方の表面の前記第 1 の半導体層を有しない領域において、前記第 1 の半導体層との間に所定の間隔を保って前記第 1 の半導体層を囲むように設けられた少なくとも 1 個のショットキー接合を形成するための導電層、

前記第 1 の半導体層に設けられた電極、及び

5 前記第 1 の導電型の半導体層の他方の面に設けられた他の電極

を有する高耐圧半導体装置。

9. 互いに隣接する複数の導電層は前記第 1 の導電型の半導体層の前記一方の表面に設けられた互いに異なる高さを有する領域にそれぞれ形成された請求項 8 記載の高耐圧半導体装置。

10 10. 最外周の導電層が設けられた前記第 1 の導電型の半導体層の表面部において、前記最外周の導電層の内周の端部から所定距離離れた外周領域に、前記第 1 の導電型の半導体層の不純物濃度より濃い不純物濃度を有する第 1 の導電型の他の半導体層を設けた請求項 8 記載の高耐圧半導体装置。

15 11. 半導体装置の第 1 の導電型の半導体層の一方の表面の一部分に形成された第 2 の導電型の第 1 の半導体層、

前記第 1 の導電型の半導体層の前記一方の表面の前記第 1 の半導体層を有しない領域において、前記第 1 の半導体層との間に所定の間隔を保って前記半導体層の表面から所定の深さに底をもつ溝により隔てられて前記第 1 の半導体層を囲むように設けられた少なくとも 1 個の第 2 の導電型の第 2 の半導体層、

20 前記第 2 の半導体層の表面及び前記溝の側面に形成された絶縁物層、

前記溝の底面に形成された導電層、

前記第 1 の半導体層に設けられた電極、及び

前記第 1 の導電型の半導体層の他方の面に設けられた他の電極
を有する高耐圧半導体装置。

25 12. 前記第 1 の導電型の半導体層の前記一方の表面の周辺部に形成した導電層、及び
前記導電層を形成した前記半導体層の表面部において、前記導電層の内周の端部から所定距離離れた外周領域に、前記第 1 の導電型の半導体層の不純物濃度より濃い濃度の第 1

導電型の他の半導体領域を設けたことを特徴とする請求項 1 1 記載の高耐压半導体装置。

1 3. 前記導電層が溝の底面において両側面の絶縁物層にはさまれた部分に形成されたことを特徴とする請求項 1 1 記載の高耐压半導体装置。

1 4. 半導体装置の第 1 の導電型の半導体層の一方の表面の一部分に形成され第 2 の導電型の第 1 の半導体層、

前記第 1 の導電型の半導体層の前記一方の表面の前記第 1 の半導体層を有しない領域において、前記第 1 の半導体層との間に所定の間隔を保って前記半導体層の表面から所定の深さをもつ溝により隔てられて前記第 1 の半導体層を囲むように設けられた少なくとも 1 個の第 2 の導電型の第 2 の半導体層、

10 隣りあう 2 つの第 2 の導電型の半導体層の間の前記溝の底面に形成した導電層、 前記第 1 の半導体層に設けた電極、及び

前記第 1 の導電型の半導体層の他方の面に設けた他の電極を有する高耐压半導体装置。

1 5. 前記第 2 の導電型の半導体領域は、最内周のものが最も高い不純物濃度を有し、
15 外周部のものは、外周に向かって順次不純物濃度が漸減するように形成された請求項 1、4、6 又は 7 記載の高耐压半導体装置。

1 6. 前記の第 2 の導電型の第 2 の半導体層は、最内周のものが最も高い不純物濃度を有し、外周部のものは外周に向かって順次不純物濃度が漸減するように形成された請求項 1、4、6、7、1 1 又は 1 4 記載の高耐压半導体装置。

20 1 7. 前記の第 2 の導電型の複数の半導体領域は、それぞれ所定の不純物濃度を有することを特徴とする請求項 1、4、6 又は 7 記載の高耐压半導体装置。

1 8. 前記の第 2 の導電型の複数の第 2 の半導体層は、それぞれ所定の不純物濃度を有することを特徴とする請求項 1、4、6、7、1 1 又は 1 4 記載の高耐压半導体装置。

1 9. 前記半導体装置は、MOS 型 FET、ダイオード、絶縁ゲートバイポーラトランジスタ (IGBT)、ゲートターンオフサイリスタ (GTO サイリスタ)、SI サイリスタ、
25 から構成された群から選択された 1 種である請求項 1、6、7、8、1 1 又は 1 4 記載の高耐压半導体装置。

20. 前記半導体装置は、炭化珪素 (SiC)、ダイヤモンド、ガリウムナイトライド、シリコン及びガリウム砒素から構成された群から選択した材料を基材とするダイオードである請求項1、6、7、8、11又は14記載の高耐圧半導体装置。

21. 前記半導体装置は、前記第1の半導体層の近傍のトレンチゲート内に設けられたゲート電極を有し、炭化珪素 (SiC)、ダイヤモンド、ガリウムナイトライド、シリコン及びガリウム砒素から構成された群から選択した材料を基材とするMOS型のFETであることを特徴とする請求項1、6、7、8、11又は14記載の高耐圧半導体装置。

22. 前記半導体装置は、プレーナ型トランジスタ、トレンチ型トランジスタ及び埋め込み型トランジスタから構成される群から選択された請求項1、6、7、8、11又は14記載の高耐圧半導体装置。

23. 一对の直流入力端子と、

前記一对の直流入力端子間に接続された少なくとも2対の、2個の半導体素子が直列接続された接続体と、

前記各半導体素子に逆方向に接続されたダイオードとを有し、

前記半導体素子が

半導体素子の第1の導電型の半導体層の一方の表面の一部分に形成された第2の導電型の第1の半導体層、

前記第1の導電型の半導体層の前記一方の表面の前記第1の半導体層を有しない領域において、前記第1の半導体層との間に所定の間隔を保って前記半導体層の表面から所定の深さに底をもつ溝により隔てられて前記第1の半導体層を囲むように設けられた少なくとも1個の第2の導電型の第2の半導体層、

隣りあう2つの第2の導電型の半導体層の間の前記溝の底部から前記第1の導電型の半導体層の内部に形成された第2の導電型の半導体領域、

前記第1の半導体層に設けられた電極、

前記第1の導電型の半導体層の他方の面に設けられた他の電極及び

前記第1の半導体層の近傍に設けられたゲート電極

を有する高耐圧半導体装置であることを特徴とする電力変換器。

24. 一対の交流入力端子と、

前記一対の交流入力端子間にブリッジ接続された、少なくとも4対の半導体素子とダイオードの並列接続体とを有し、前記半導体素子が、

半導体素子の第1の導電型の半導体層の一方の表面の一部分に形成された第2の導電型の第1の半導体層、

前記第1の導電型の半導体層の前記一方の表面の前記第1の半導体層を有しない領域において、前記第1の半導体層との間に所定の間隔を保って前記半導体層の表面から所定の深さに底をもつ溝により隔てられて前記第1の半導体層を囲むように設けられた少なくとも1個の第2の導電型の第2の半導体層、

隣りあう2つの第2の導電型の半導体層の間の前記溝の底部から前記第1の導電型の半導体層の内部に形成された第2の導電型の半導体領域、

前記第1の半導体層に設けられた電極、

前記第1の導電型の半導体層の他方の面に設けられた他の電極及び

前記第1の半導体層の近傍に設けられたゲート電極

を有する高耐圧半導体装置であることを特徴とする整流装置。

25. 第1導電型の第1半導体領域と、前記第1半導体領域の一方の主表面の一部に形成配置された第2導電型の第2半導体領域と、前記第1半導体領域の他方の主表面に接合配置された第2導電型の第3半導体領域と、前記第2半導体領域の主表面に配置された第1主電極と、前記第3半導体領域に低抵抗接触するように配置された第2主電極とを備え、前記第1半導体領域の一方の主表面上の前記第2半導体領域を囲むターミネーション領域に、前記第1半導体領域とショットキー接合された少なくとも1つの補助電極を配置した半導体装置において、前記補助電極は、少なくとも一部が前記第1半導体領域の一方の主表面に形成された溝の内部に配置されていることを特徴とする半導体装置。

26. 前記補助電極は、全体が直接溝の底面にショットキー接合された状態で配置されていることを特徴とする請求項25に記載の半導体装置。

27. 前記補助電極は、一部が直接溝の底面にショットキー接合され、残部が絶縁層を介して溝の側面及び上面に配置されていることを特徴とする請求項25に記載の半導体装

置。

28. 前記補助電極を配置した溝は、複数本のものからなり、それらが前記第2半導体領域を囲むターミネーション領域に同心状に形成されていることを特徴とする請求項25乃至27に記載の半導体装置。

5 29. 前記複数本の溝の内部に配置された補助電極は、隣り合う補助電極の間隔の最短位置が前記第1半導体領域の一方の主表面以外の前記第1半導体領域の内部になるように配置されていることを特徴とする請求項28に記載の半導体装置。

10 30. 前記複数本の溝は、それぞれ異なる深さのもので、前記第1半導体領域の一方の主表面の周縁部に近いもの程浅く構成されていることを特徴とする請求項28に記載の半導体装置。

31. 前記溝は、底面にショットキー接合された状態で配置された補助電極に絶縁物を覆った構造のものであることを特徴とする請求項28に記載の半導体装置。

図 1

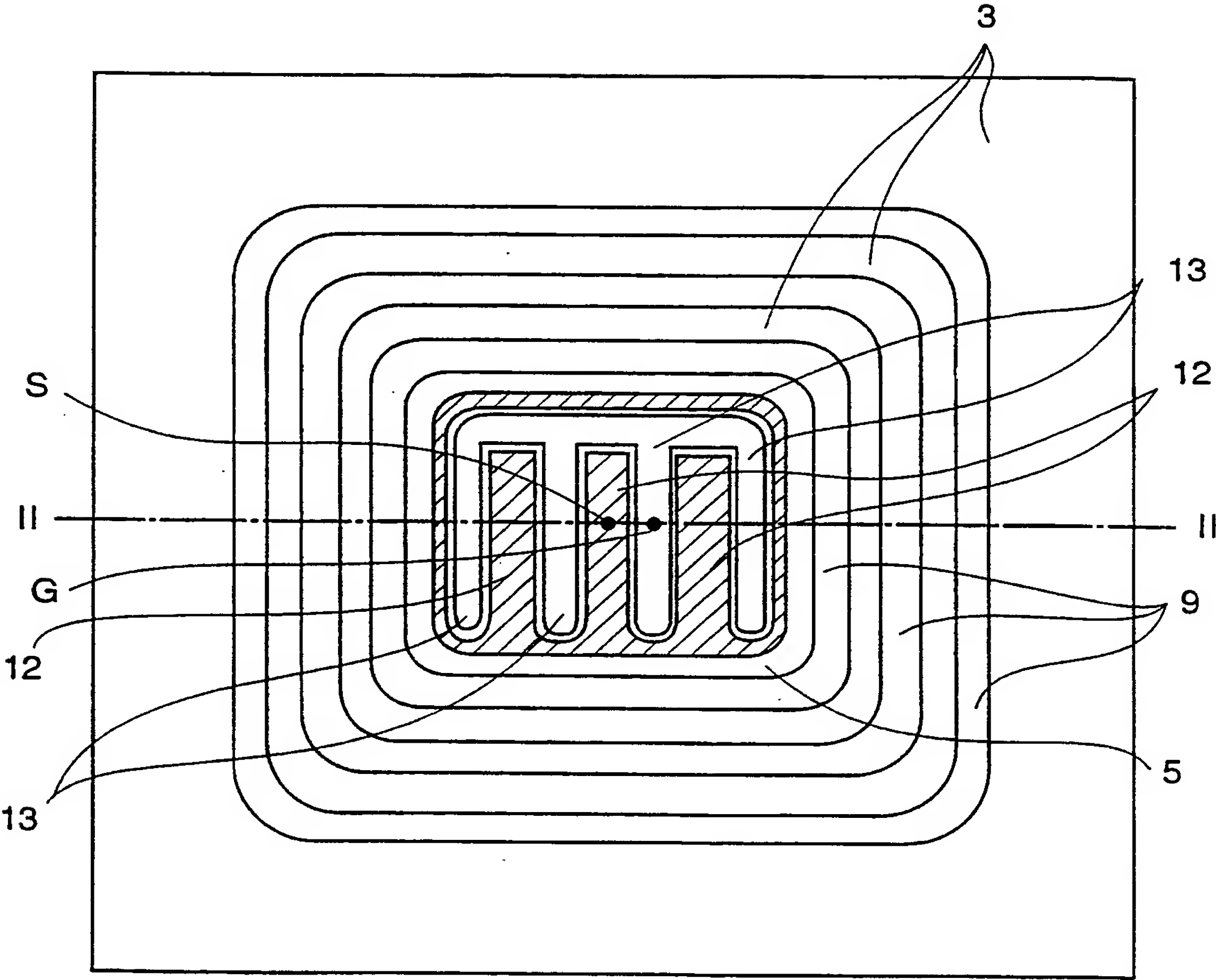
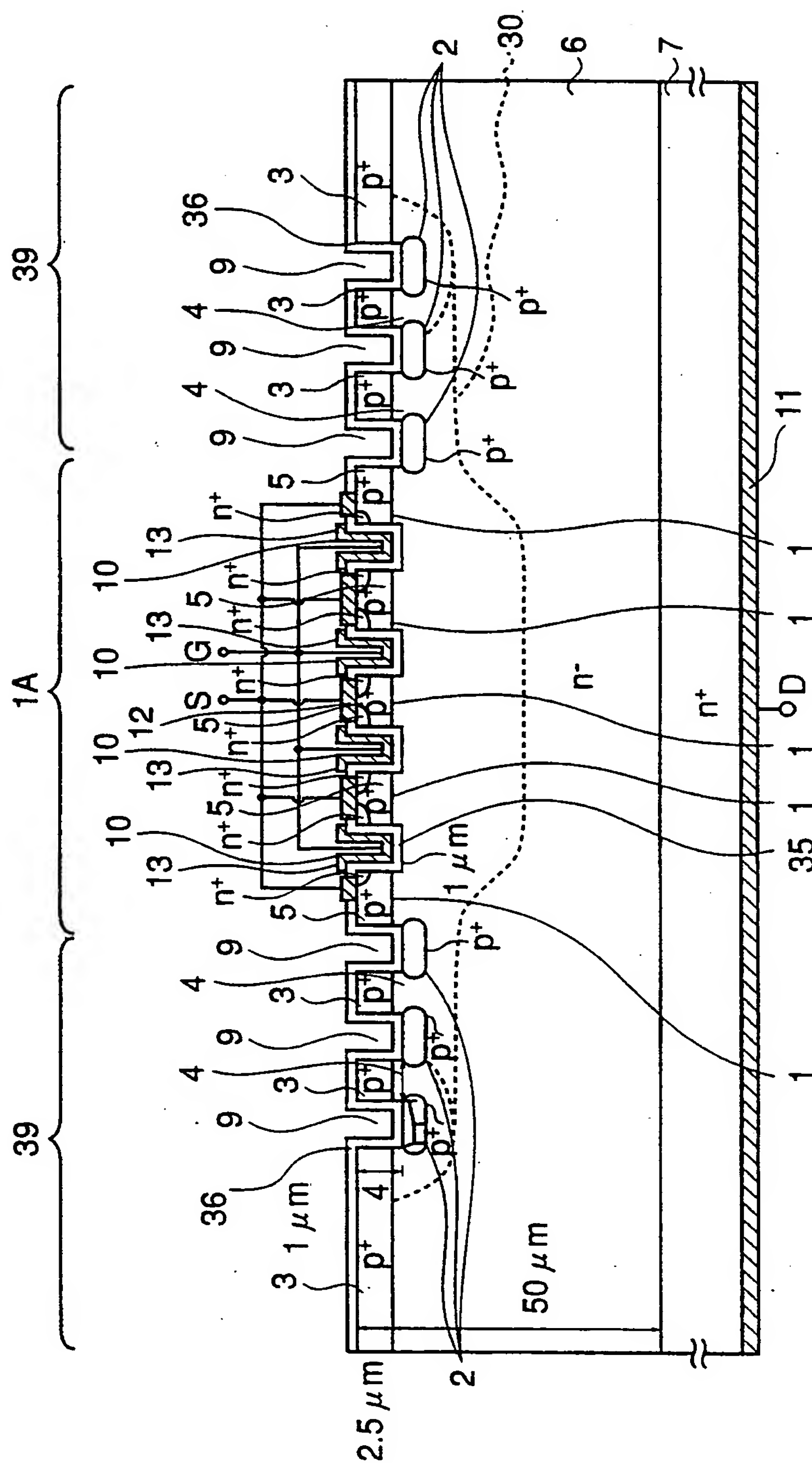
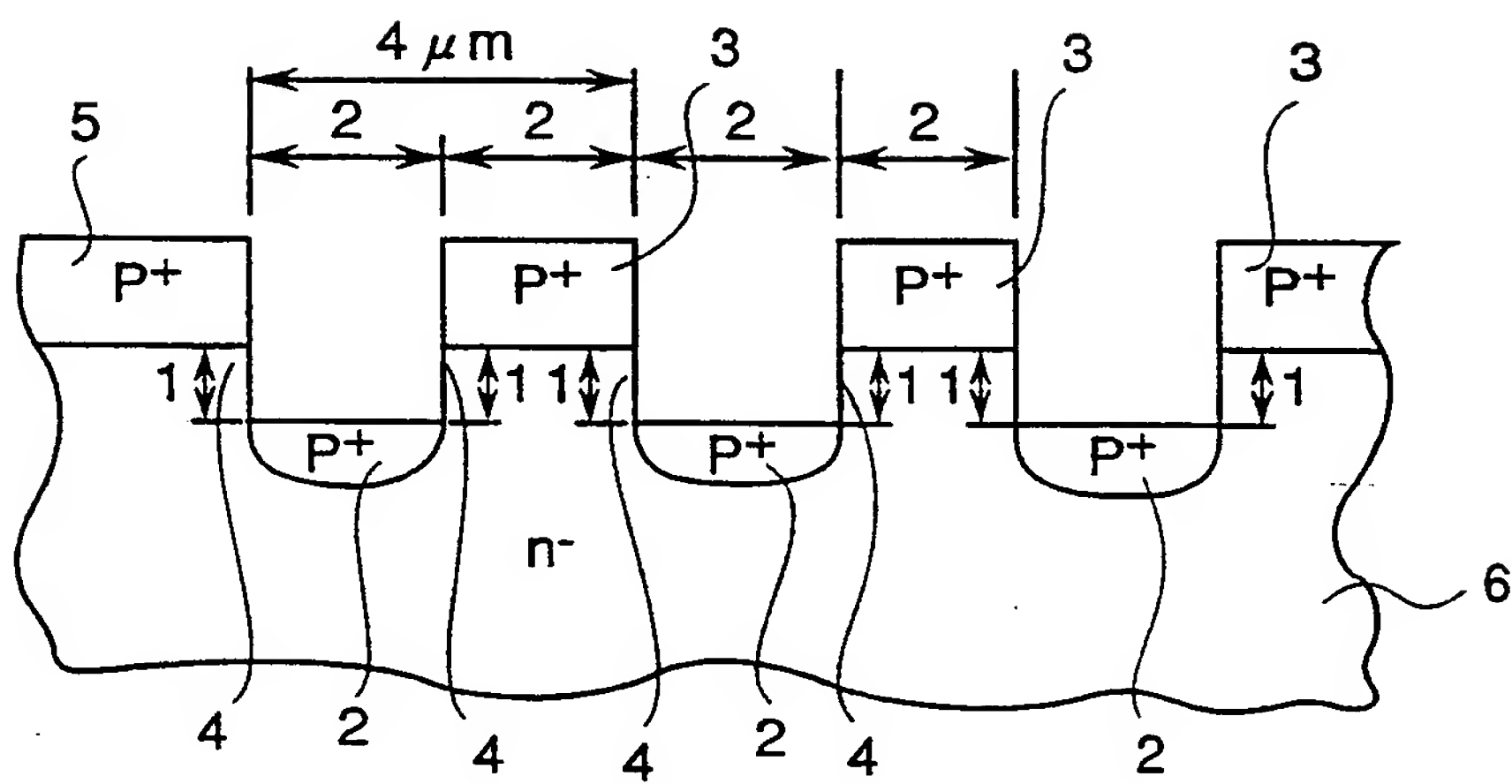


圖 2



2...トレンチ底部 p^+ 層 3...トレンチ間 p^+ 層 5... p^+ ボデイ層 6... n^- ドリフト層
9...トレンチ 11...ドレイン電極 12...ソース電極 36...絶縁物層

(a)



(b)

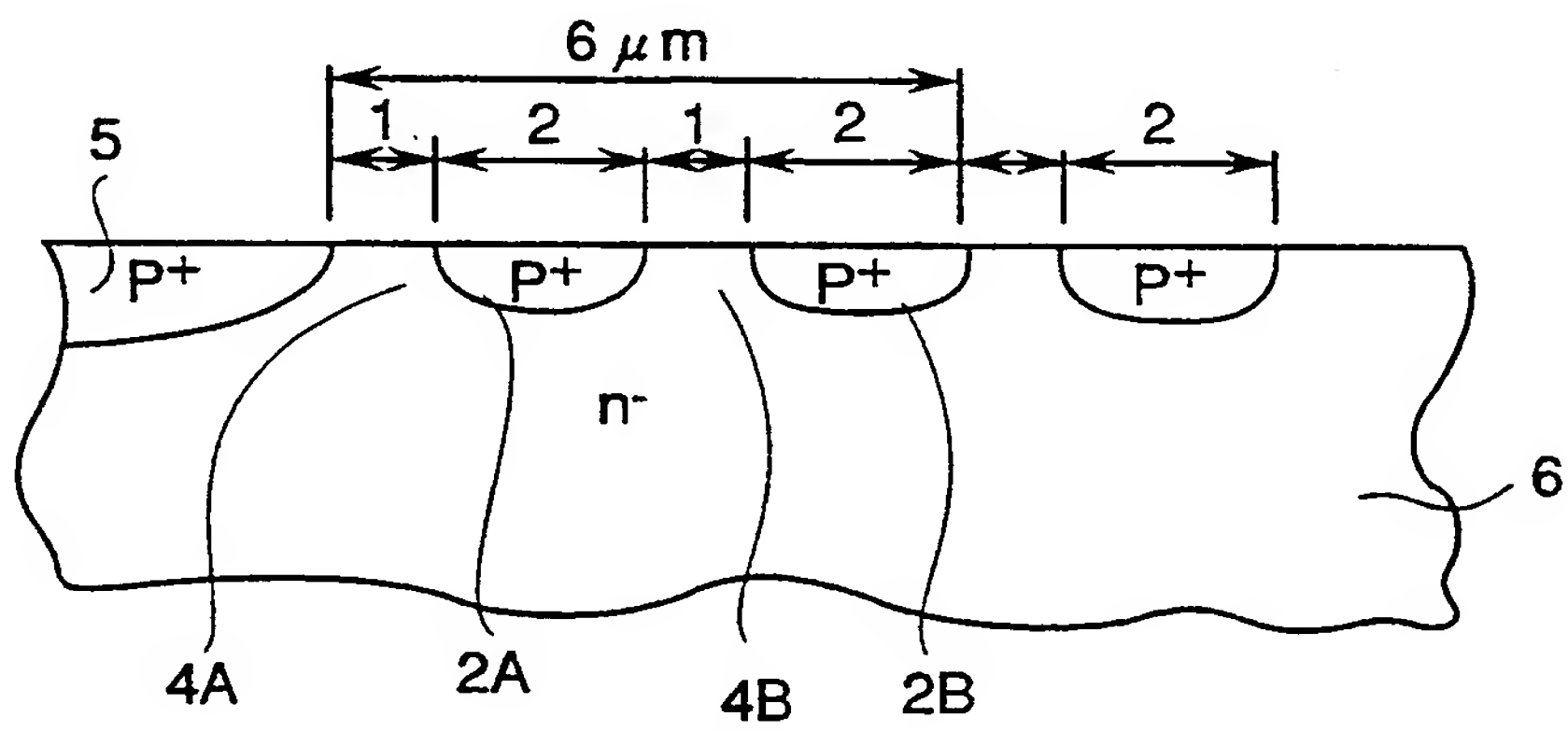


図 4

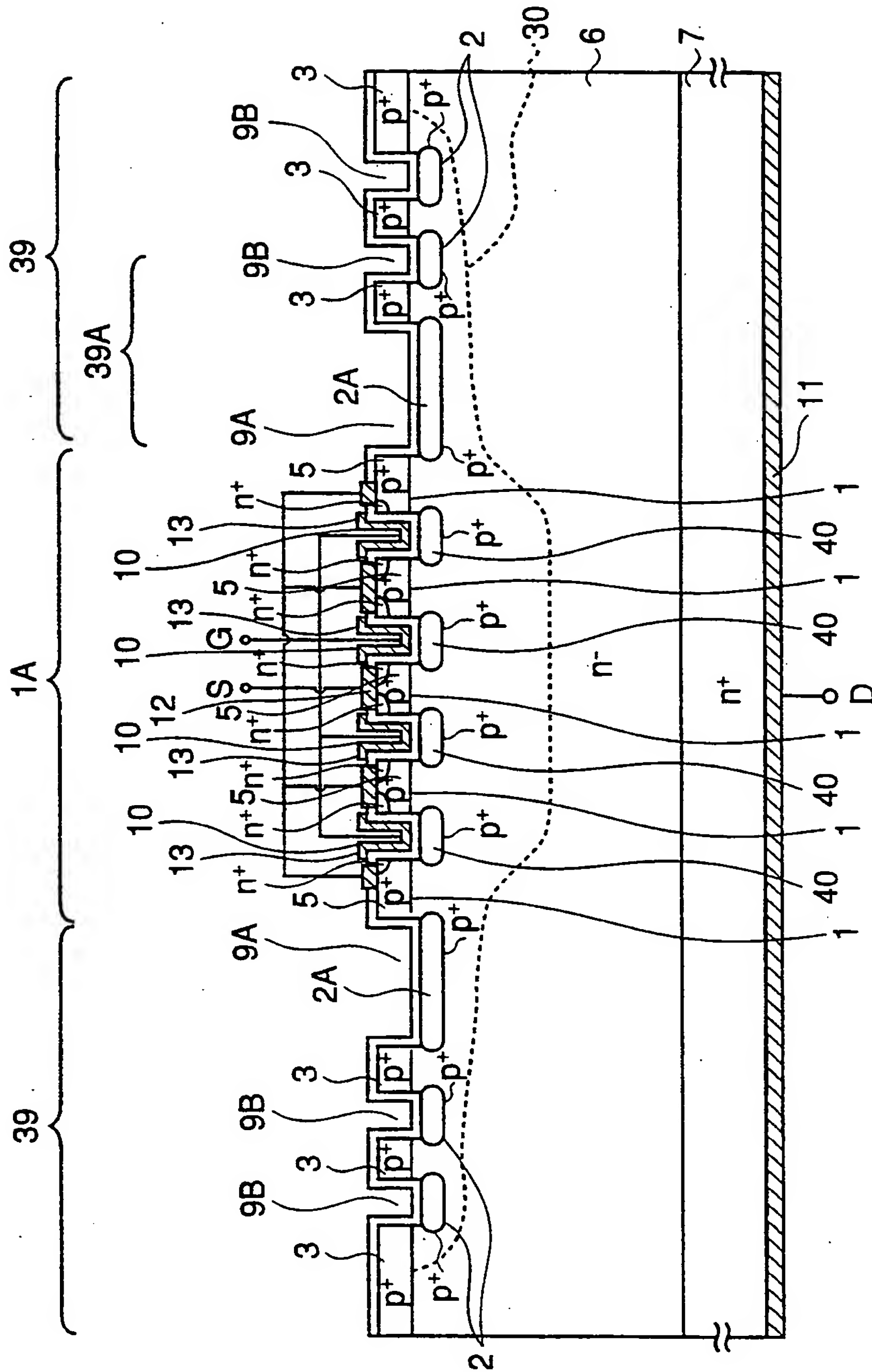
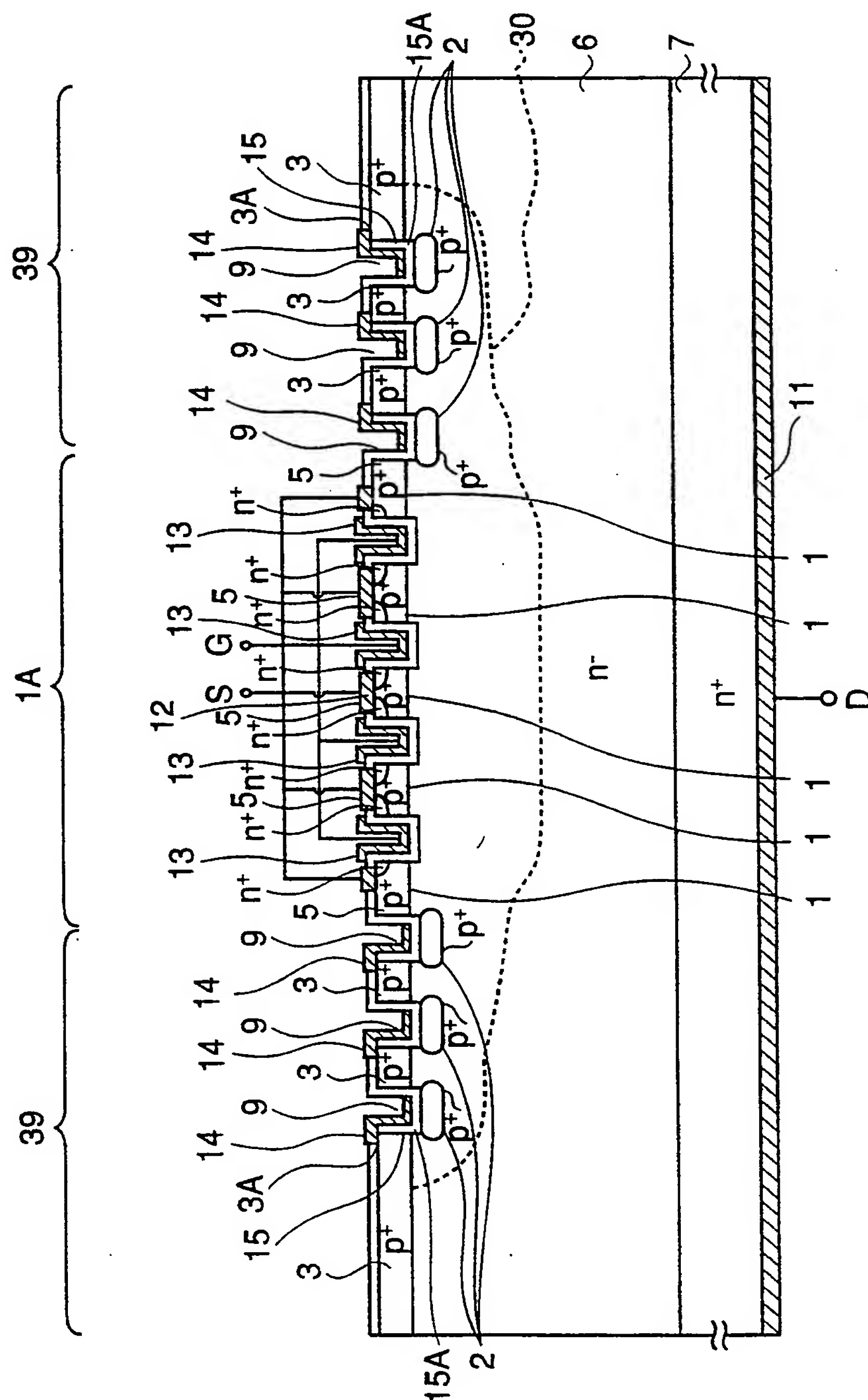
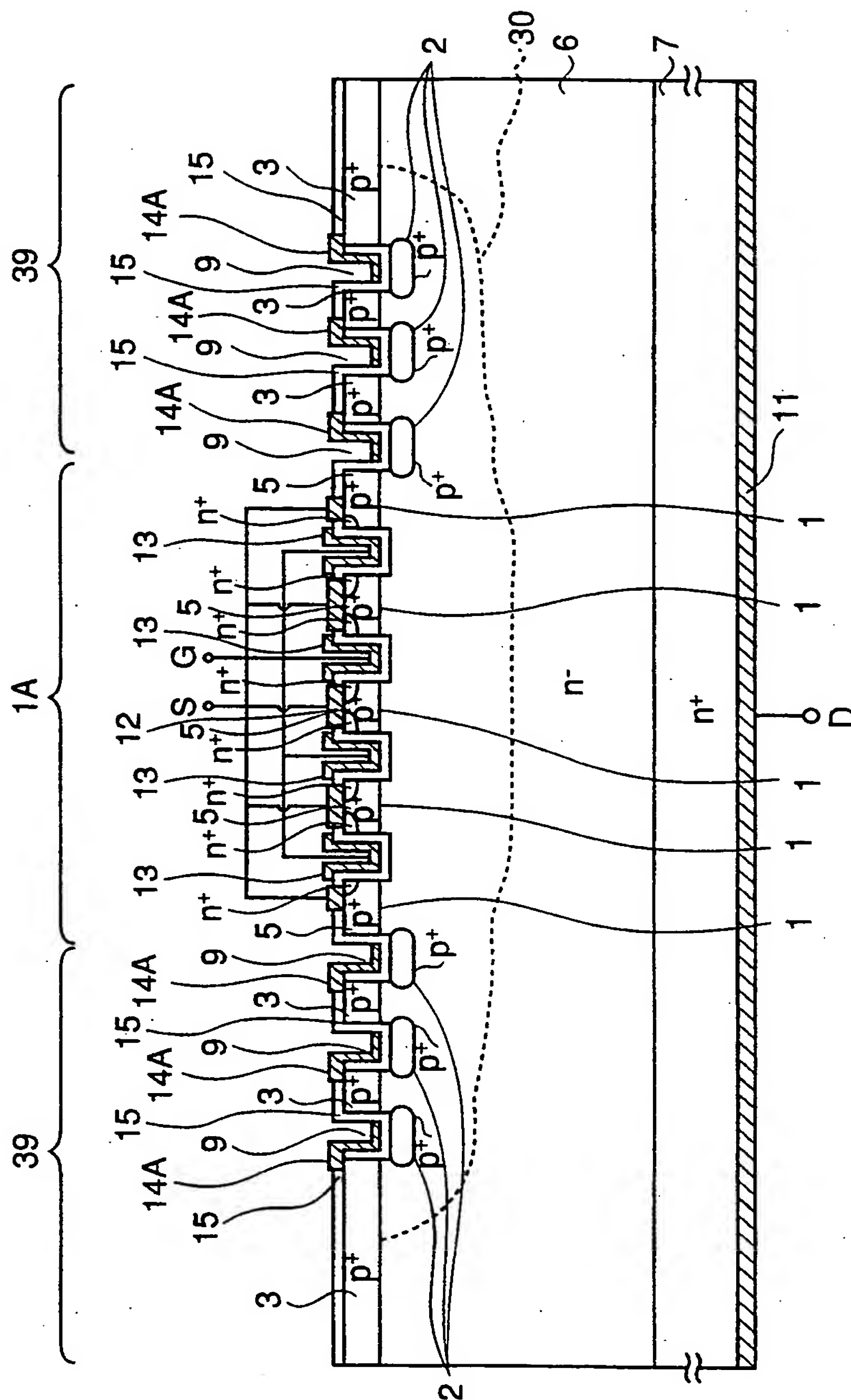


图 5



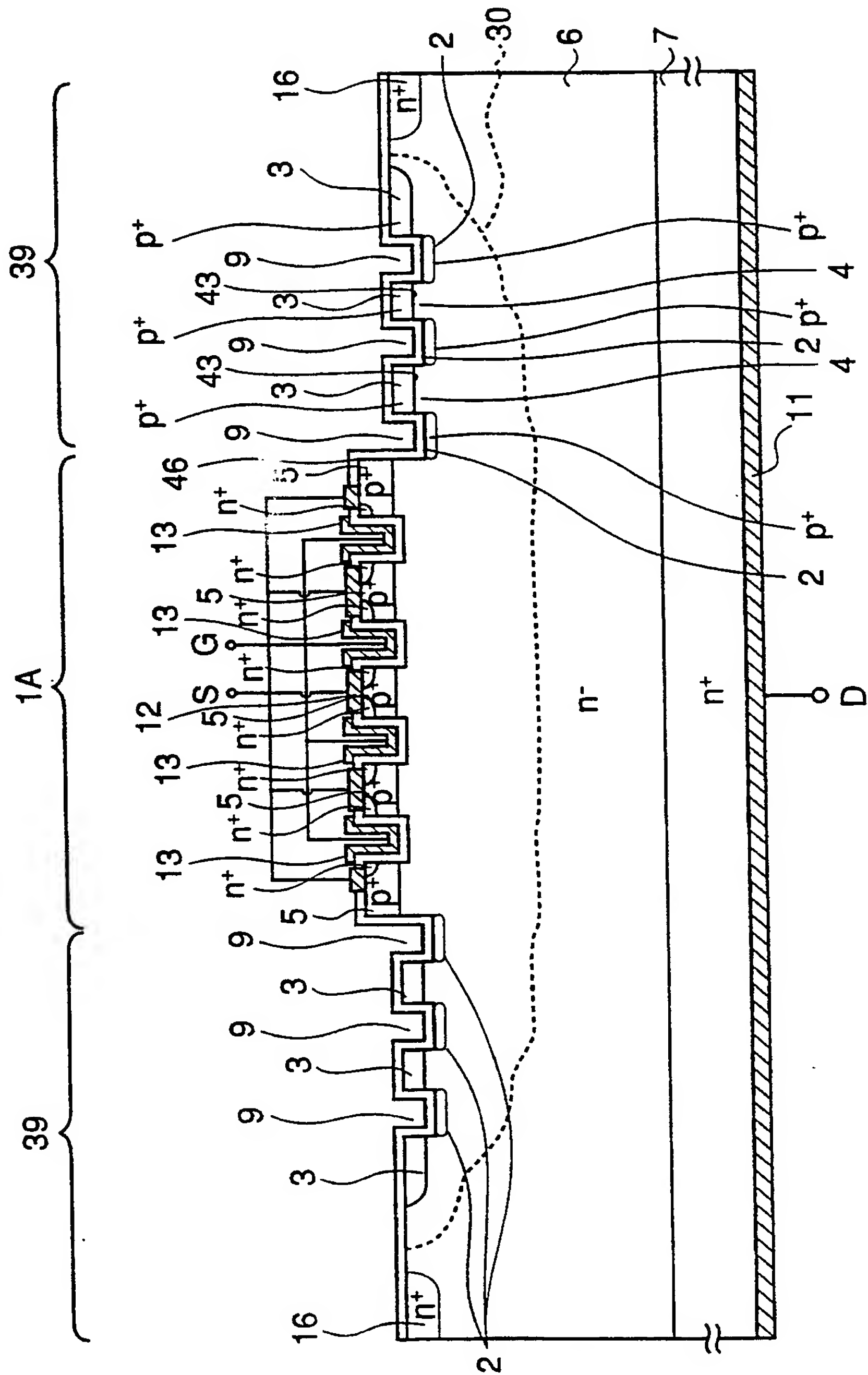
3A...p⁺層の接続部 14...補助電極 15...絶縁物質層

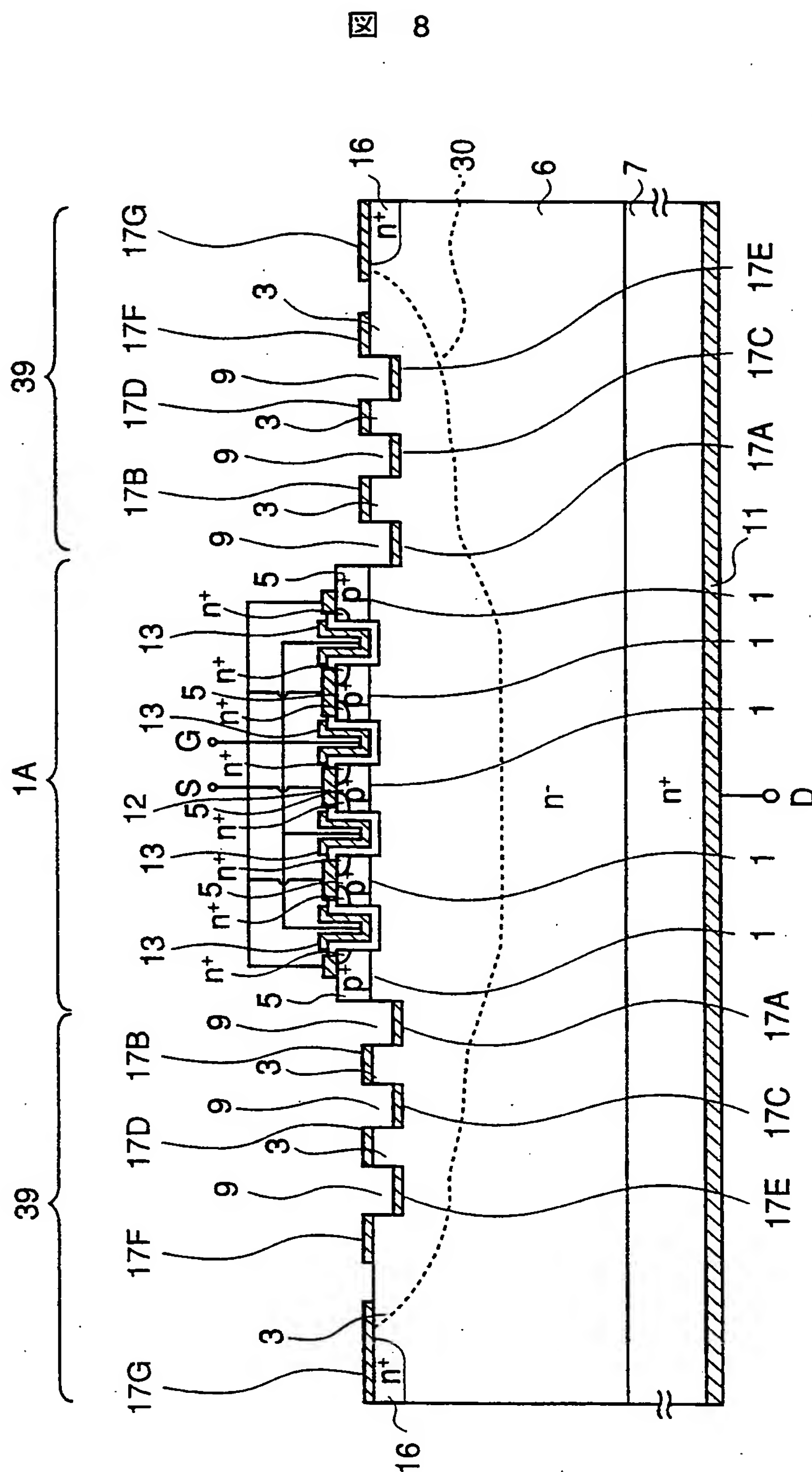
図 6



14A…補助電極

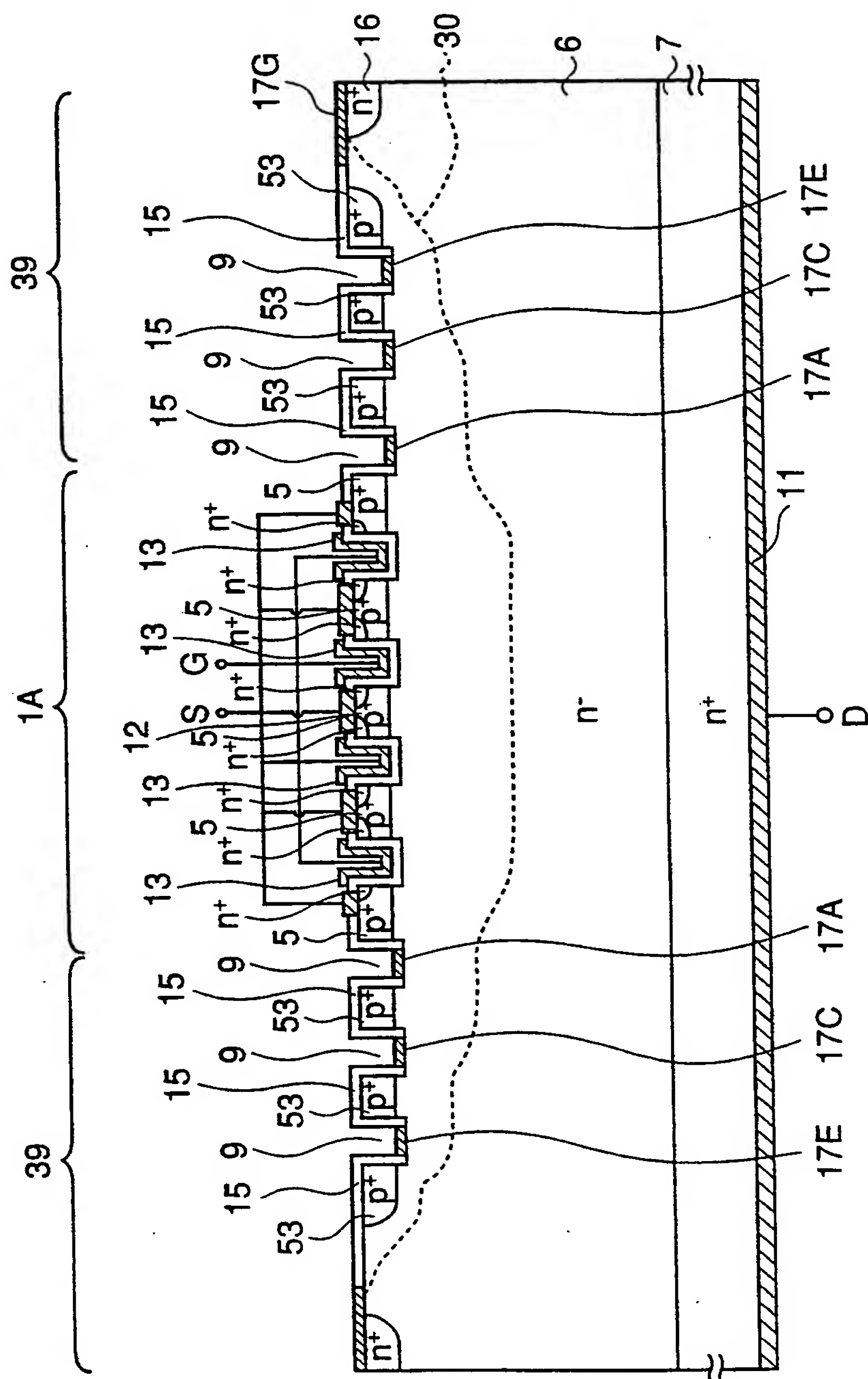
図 7





17A~17G...シヨットキータクト

图 9



10/16

10

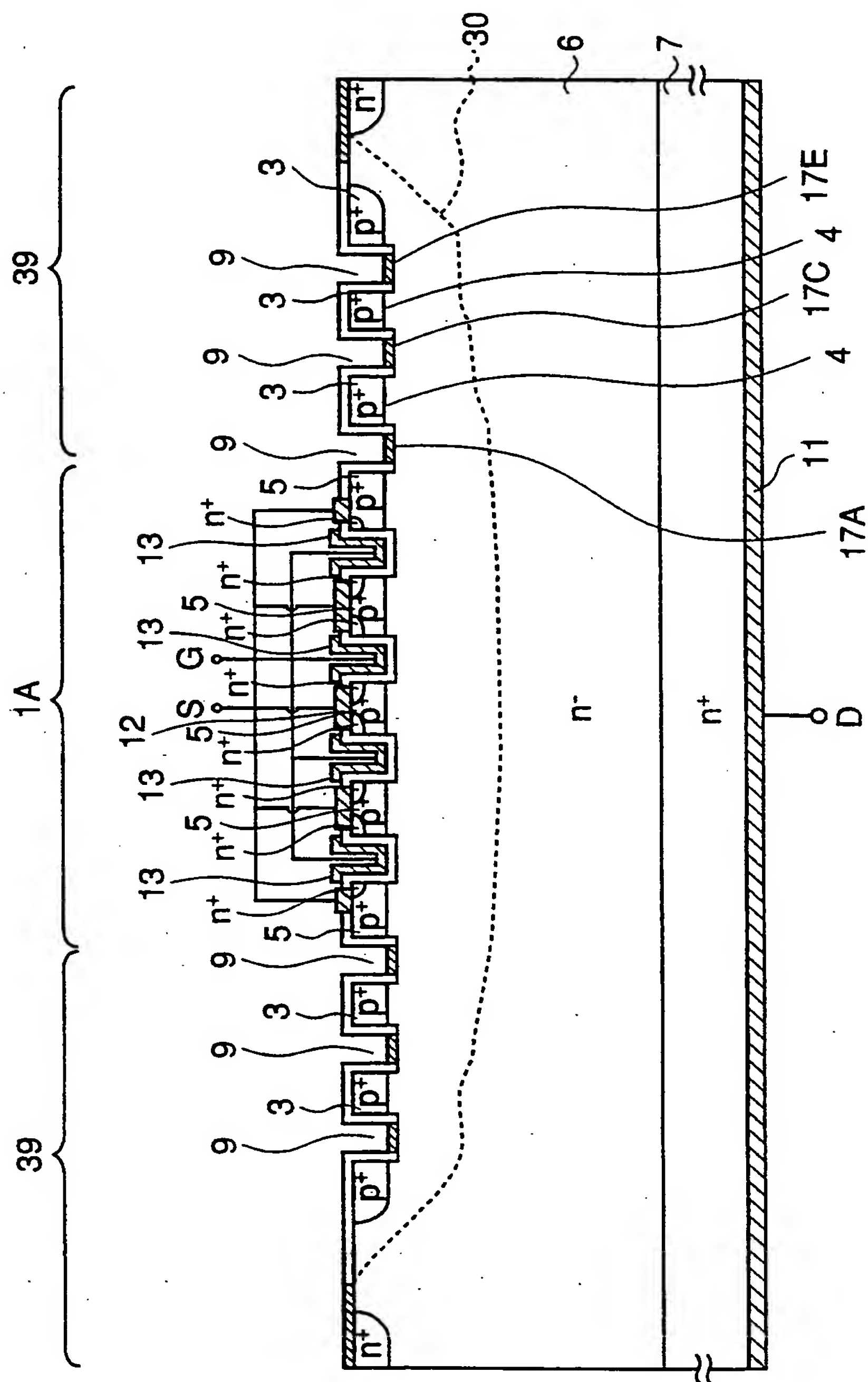


図 11

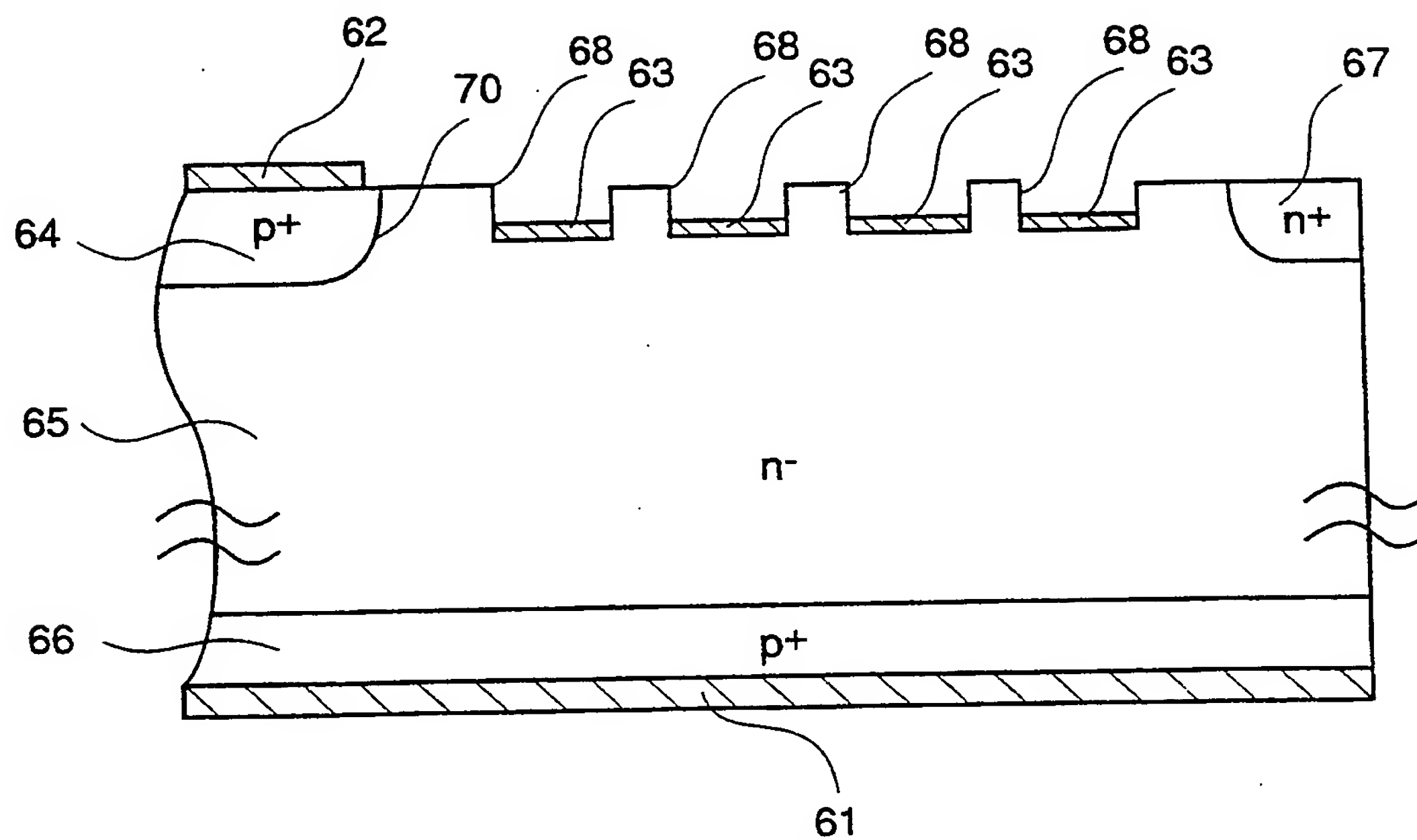


図 13

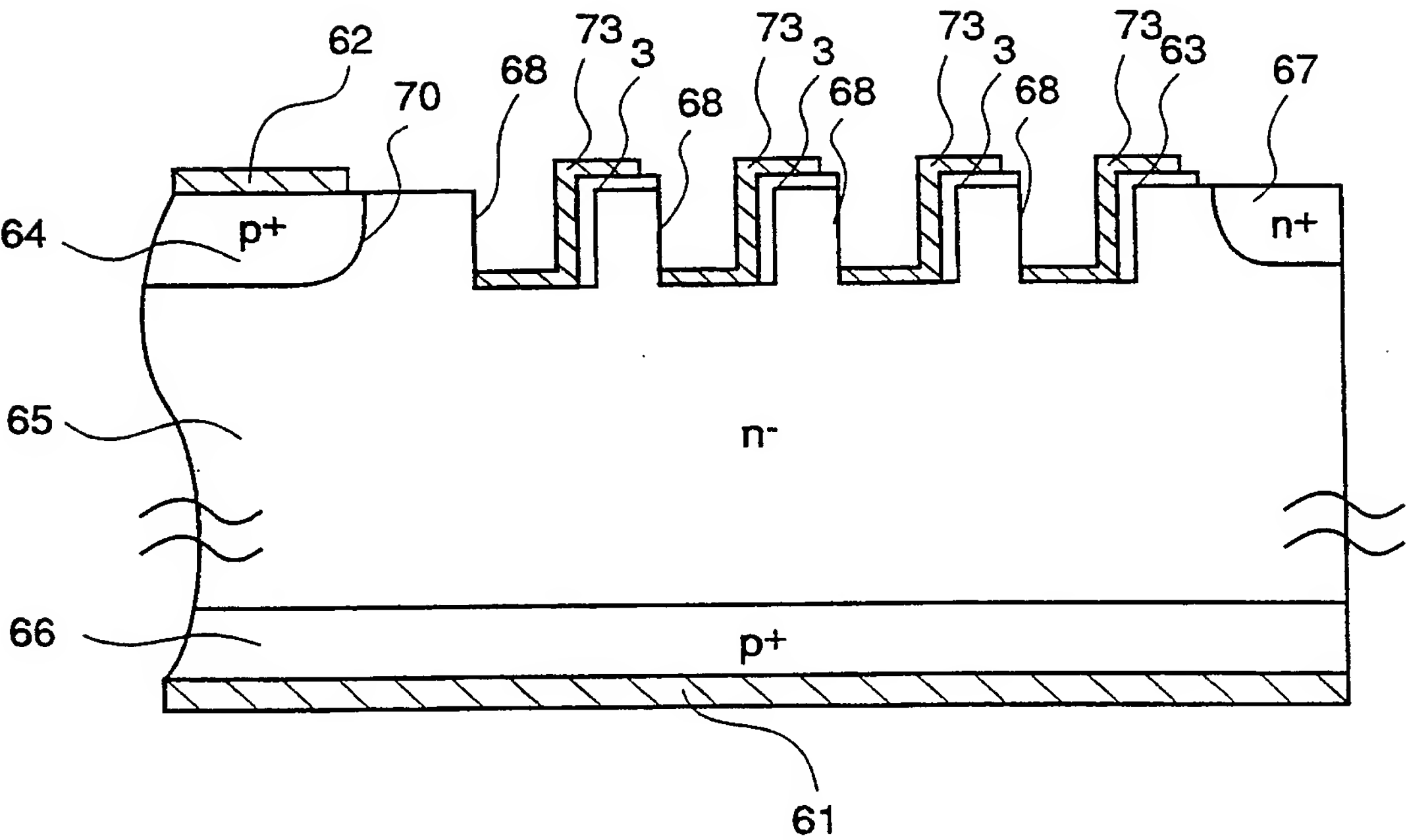


図 14

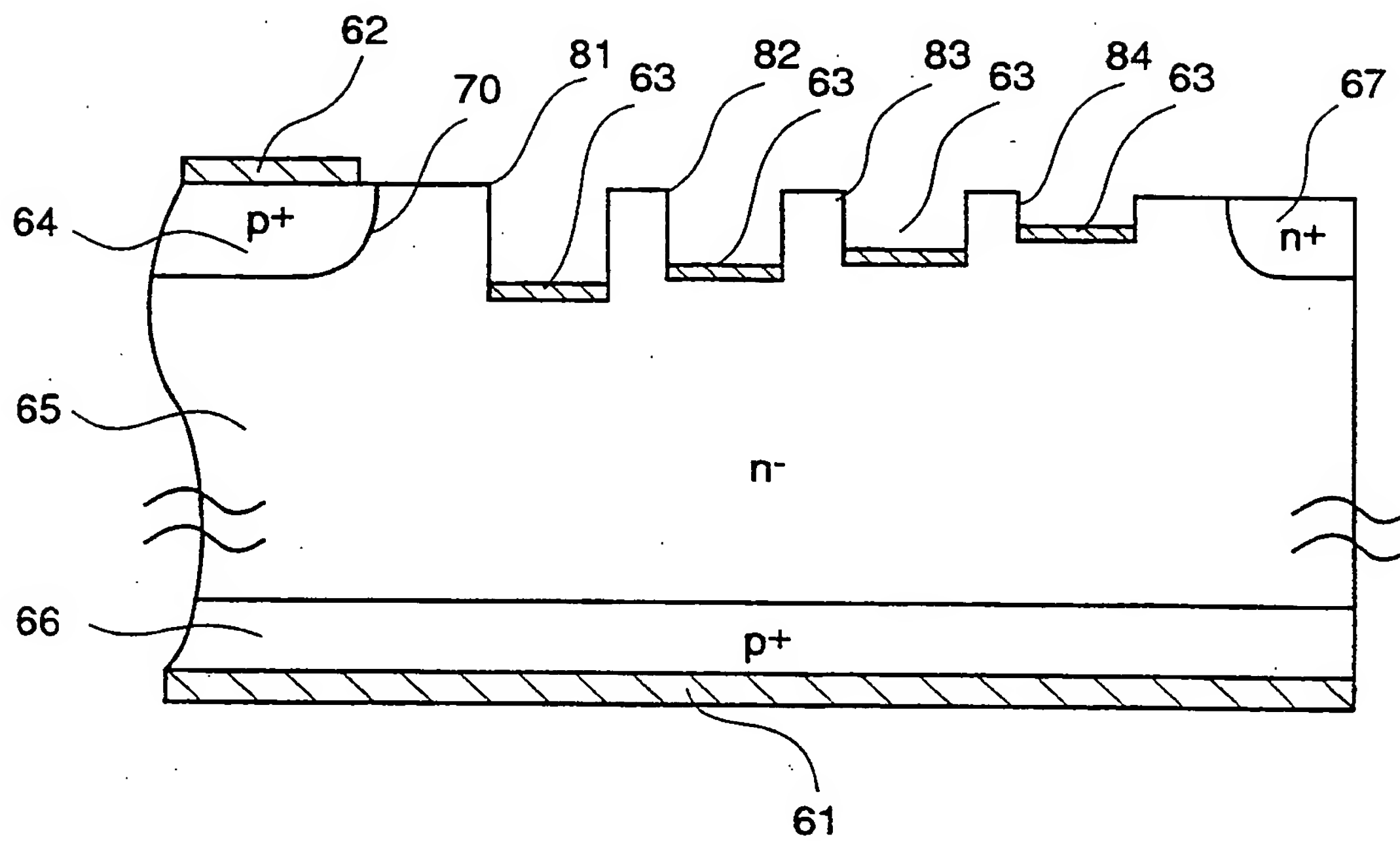
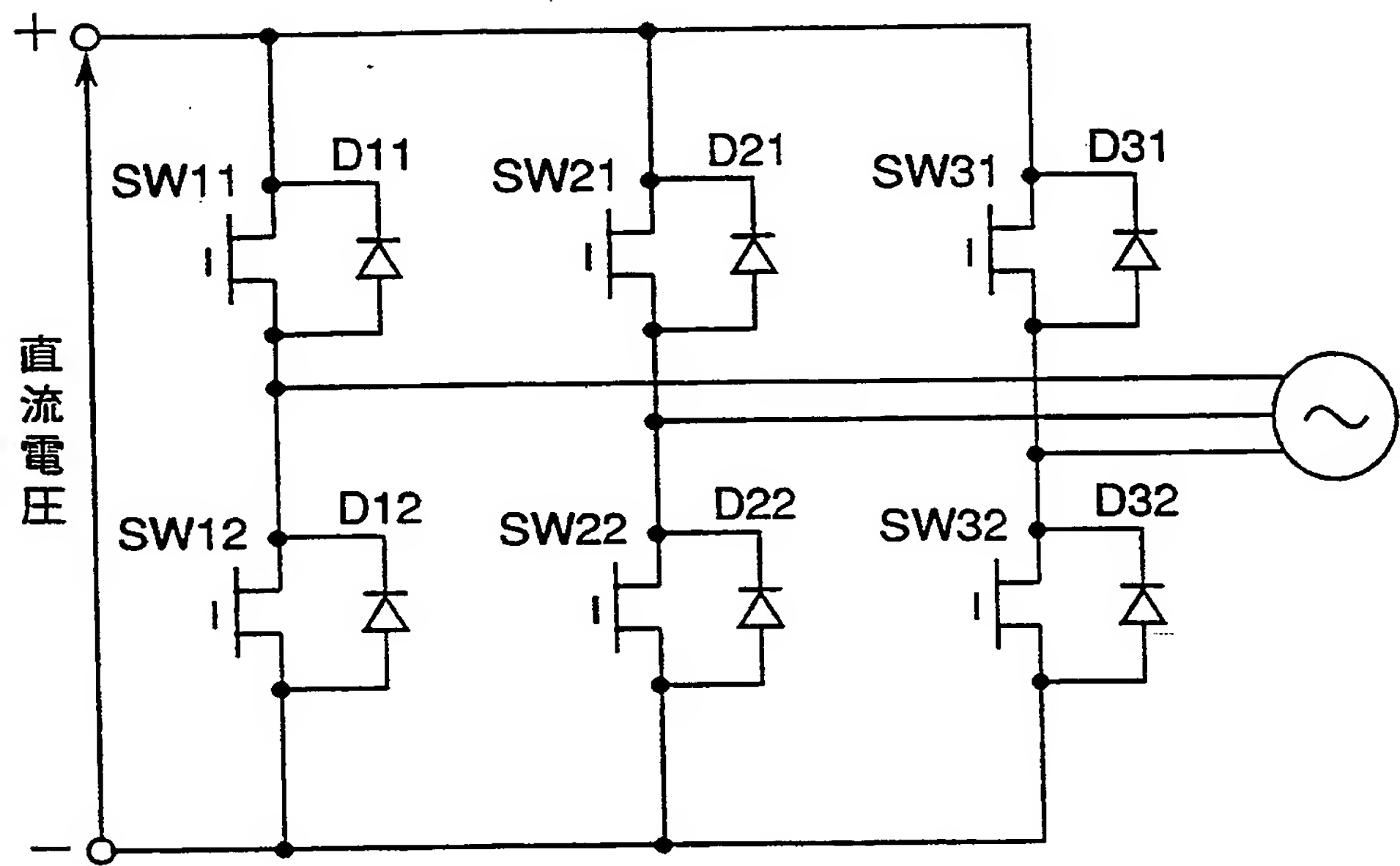
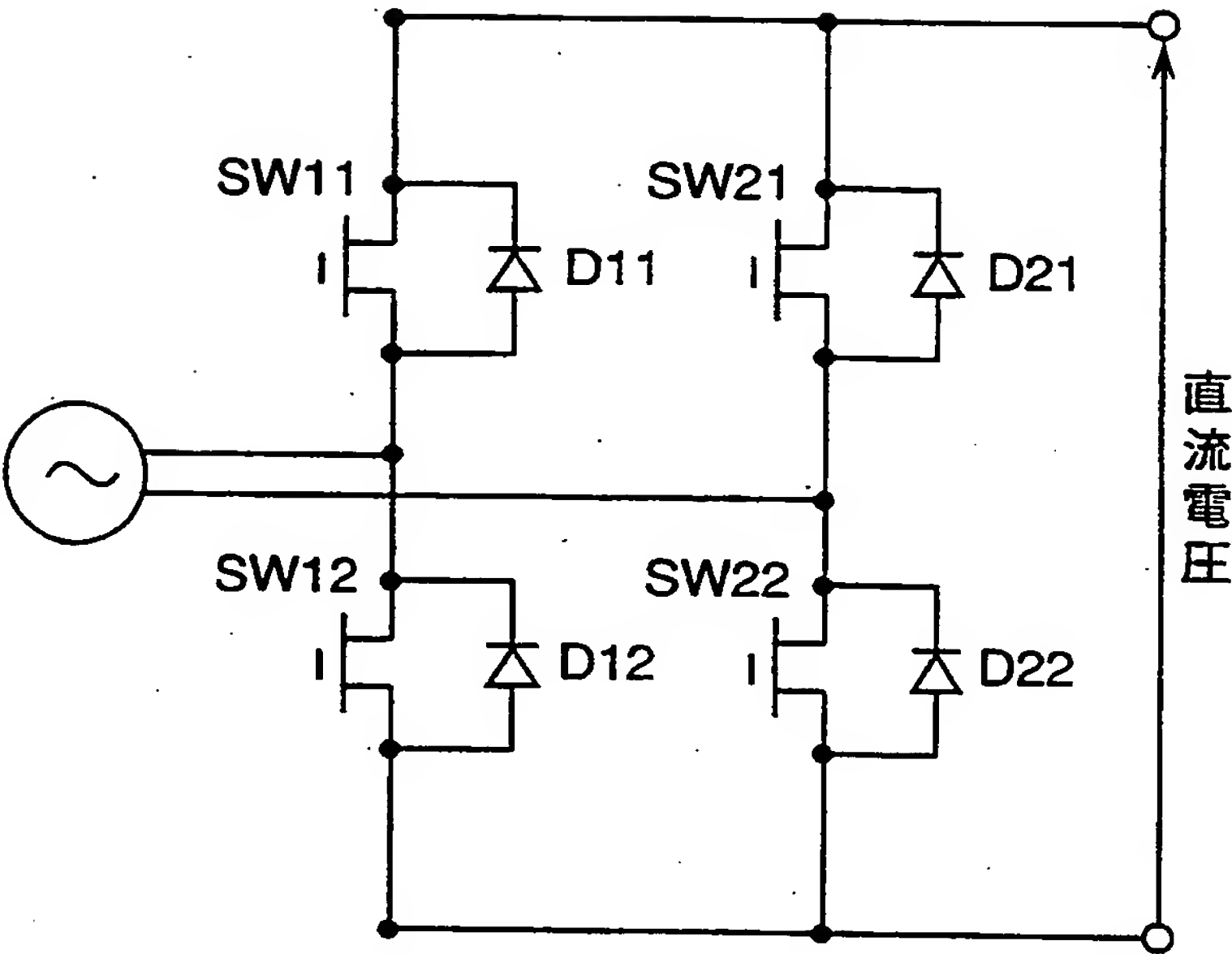


図 15



SW11～SW32 : 高耐圧半導体装置
D11～D32 : ダイオード

図 16



SW11～SW22：高耐圧半導体装置
D11～D22：ダイオード

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00866

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L29/78, H01L21/336, H01L29/86, H01L29/74, H01L29/41

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1964-1996 Toroku Jitsuyo Shinan Koho 1994-1999
 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-190831, A (Nissan Motor Co., Ltd.),	8
Y	30 July, 1993 (30. 07. 93) (Family: none)	10
A	Page 4, left column, line 43 to right column, line 10 ; Fig. 10	1-7, 9, 11-31
Y	JP, 8-88346, A (Hitachi, Ltd.),	10
A	2 April, 1996 (02. 04. 96) & EP, 703627, A1 & US, 5691553, A Page 3, left column, line 46 to right column, line 49 ; Figs. 3, 4	1-9, 11-31
A	JP, 5-75098, A (Shindengen Electric Mfg. Co., Ltd.), 26 March, 1993 (26. 03. 93) & US, 5262669, A Page 2, right column, line 3 to page 3, left column, line 12 ; Fig. 2	1-31
A	JP, 9-283754, A (Toshiba Corp.), 31 October, 1997 (31. 10. 97) (Family: none) Page 2, right column, line 21 to page 3, right column, line 47 ; Figs. 1, 2	1-31

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 May, 1999 (25. 05. 99)

Date of mailing of the international search report

1 June, 1999 (01. 06. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00866

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-70271, A (Plessey Semiconductors Ltd.), 10 March, 1998 (10. 03. 98) & EP, 813250, A2 & GB, 2314206, A Page 3, right column, line 17 to page 5, left column, line 20 ; Figs. 4, 9	1-31

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁶ H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁶ H01L29/78, H01L21/336, H01L29/86
H01L29/74, H01L29/41

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1964-1996年,	日本国公開実用新案公報	1971-1999年
日本国登録実用新案公報	1994-1999年,	日本国実用新案登録公報	1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP, 5-190831, A (日産自動車株式会社), 30. 7月. 1993 (30. 07. 93), (ファミリーなし), 第4頁左欄第43行~右欄第10行及び図10	8 10 1-7, 9, 11-31
Y A	JP, 8-88346, A (株式会社日立製作所), 2. 4月. 1996 (02. 04. 96), & EP, 703627, A1, & US, 5691553, A, 第3頁左欄第46行~右欄第49行及び図3, 4	10 1-9, 11-31

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25. 05. 99

国際調査報告の発送日

01.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦

4L

9447

電話番号 03-3581-1101 内線 3498

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 5-75098, A (新電元工業株式会社), 26. 3月. 1993 (26. 03. 93), &US, 5262669, A, 第2頁右欄第3行~第3頁左欄第12行及び図2	1-31
A	JP, 9-283754, A (株式会社東芝), 31. 10月. 1997 (31. 10. 97), (ファミリーなし), 第2頁右欄第21行~第3頁右欄第47行及び図1, 2	1-31
A	JP, 10-70271, A (ブレッシー セミコンダクターズ リミテッド), 10. 3月. 1998 (10. 03. 98), &EP, 813250, A2, &GB, 2314206, A, 第3頁右欄第17行~第5頁左欄第20行及び図4, 9	1-31

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)